

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-015753

(43)Date of publication of application : 17.01.2003

---

(51)Int.Cl. G05F 1/563

G11C 16/06

H03K 17/16

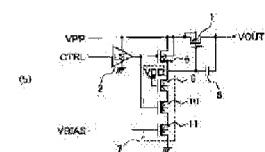
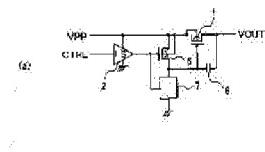
---

(21)Application number : 2001-202253 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 03.07.2001 (72)Inventor : KOTANI HISAKAZU KOJIMA MAKOTO

---

## (54) VOLTAGE SWITCHING CIRCUIT



(57)Abstract:

PROBLEM TO BE SOLVED: To provide a voltage switching circuit in which reliability is improved by preventing the generation of any excess voltage or latch-up in switching voltage and in which the increase of a chip area is

suppressed.

SOLUTION: When a control signal CTRL is activated (VDD level), a voltage level is converted with a level shifter 2 and a control PMOS transistor 6 is turned off. On the other hand, a constant current circuit 7 is turned on, and a current driving operation is performed. Therefore, the gate of a PMOS transistor 1 for voltage switching is discharged from a VPP level according to the current driving of the constant current circuit 7, and finally reaches a VSS (GND) level. That is, the PMOS transistor 1 for voltage switching is turned on, and a boosting power source VPP is supplied to a common power line as an output voltage VOUT.

---

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's  
decision of rejection]

[Kind of final disposal of application  
other than the examiner's decision of  
rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

\* NOTICES \*

**JPO and NCIP are not responsible for any  
damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## CLAIMS

---

### [Claim(s)]

[Claim 1] The 1st PMOS transistor by which connects with the common power-source line by which the pressure-up power source which has a different voltage level from supply voltage is supplied to the source, and a drain supplies output voltage, and said pressure-up power source or said output voltage is supplied to a substrate, The capacitor connected between the gate of said 1st PMOS transistor, and said common power-source line, The 2nd PMOS transistor by which said pressure-up power source was supplied to the source and a substrate, and the drain was connected to the gate of said 1st PMOS transistor, The control signal for performing an electrical-potential-difference change is supplied to an input terminal, and an output terminal is connected to it at the gate of said 2nd PMOS transistor. The 1st level shifter which changes the logic "H" level of said control signal into the voltage level of said pressure-up power source from the voltage level of said supply voltage, The electrical-potential-difference electronic switch characterized by having the current regulator circuit which is controlled by the output signal from said 1st level shifter, and discharges the voltage level of the gate of said 1st PMOS transistor even on touch-down level.

[Claim 2] The 1st NMOS transistor by which, as for said current regulator circuit, a drain is connected to the gate of said 1st PMOS transistor, and supply voltage is impressed to the gate, The 2nd NMOS transistor by which the drain was connected to the source of said 1st NMOS transistor, and the gate was

connected to the output terminal of said 1st level shifter, The electrical-potential-difference electronic switch according to claim 1 characterized by having the 3rd NMOS transistor by which a drain is connected to the source of said 2nd NMOS transistor, the source is connected to touch-down potential, and bias voltage is supplied to the gate.

[Claim 3] Said electrical-potential-difference electronic switch is an electrical-potential-difference electronic switch according to claim 1 or 2 characterized by having the 2nd level shifter by which the input terminal was connected to the input terminal of said 1st level shifter, and the output terminal was connected with the 3rd PMOS transistor by which the drain was connected to the drain of said 1st PMOS transistor, and the source and a substrate were connected to said common power-source line at the gate of said 3rd PMOS transistor.

[Claim 4] The 1st PMOS transistor by which connects with the common power-source line by which the pressure-up power source which has a different voltage level from supply voltage is supplied to the source, and a drain supplies output voltage, and said pressure-up power source or said output voltage is supplied to a substrate, The capacitor connected between the gate of said 1st PMOS transistor, and said common power-source line, The 2nd PMOS transistor by which said pressure-up power source was supplied to the source and a substrate, and the drain was connected to the gate of said 1st PMOS transistor, The control signal for performing an electrical-potential-difference change is supplied to an input terminal, and an output terminal is connected to it at the gate of said 2nd PMOS transistor. The 1st level shifter which changes the logic "H" level of said control signal into the voltage level of said pressure-up power source from the voltage level of said supply voltage, Said control signal, respectively On the other hand, two or more logic gates where an input terminal is supplied and two or more mode-of-operation signals activated according to each mode of operation are supplied to the input terminal of another side, respectively, Two or more 2nd shift registers by which each input terminal was connected to each output terminal of two or more of said logic gates, It is controlled by the output signal

from said two or more 2nd level shifters, and has the current regulator circuit which discharges the voltage level of the gate of said 1st PMOS transistor even on touch-down level. The 1st NMOS transistor by which, as for said current regulator circuit, a drain is connected to the gate of said 1st PMOS transistor, and supply voltage is impressed to the gate, Two or more 2nd NMOS transistors which have device size which common connection of each drain is made at the source of said 1st NMOS transistor, and each gate is connected to each output terminal of said 2nd level shifter, and is different, respectively, Each drain is connected to each source of two or more of said 2nd NMOS transistors. The electrical-potential-difference electronic switch characterized by having two or more 3rd NMOS transistors which have device size which each source is connected to touch-down potential, and bias voltage is supplied to each gate in common, and is different, respectively.

[Claim 5] Said electrical-potential-difference electronic switch is an electrical-potential-difference electronic switch according to claim 4 characterized by having the 3rd level shifter by which the input terminal was connected to the input terminal of said 1st level shifter, and the output terminal was connected with the 3rd PMOS transistor by which the drain was connected to the drain of said 1st PMOS transistor, and the source and a substrate were connected to said common power-source line at the gate of said 3rd PMOS transistor.

[Claim 6] Said electrical-potential-difference electronic switch is an electrical-potential-difference electronic switch according to claim 2 characterized by having the voltage adjustment circuit which outputs said bias voltage which has a different voltage level generated from reference voltage according to two or more mode-of-operation signals activated according to each mode of operation.

[Claim 7] Said electrical-potential-difference electronic switch is an electrical-potential-difference electronic switch according to claim 2 which a drain is connected to the drain of said 3rd NMOS transistor, and the source is connected to touch-down potential, and logic "H" level is supply voltage level, and is characterized by having the 4th NMOS transistor to which the control signal

activated at the time of foreign voltage impression mode is supplied at the gate.

[Claim 8] The 1st PMOS transistor by which the pressure-up power source which has a different voltage level from supply voltage is supplied to the source, The 1st control signal for performing an electrical-potential-difference change to an input terminal is supplied. The 1st level shifter by which it connects with the gate of said 1st PMOS transistor, and an output terminal changes the logic "H" level of said 1st control signal into the voltage level of said pressure-up power source from the voltage level of said supply voltage, The 2nd PMOS transistor by which the drain was connected to the drain of said 1st PMOS transistor, and the source was connected to the common power-source line which supplies output voltage, Said 1st control signal is supplied to an input terminal, and it has the 2nd level shifter by which the output terminal was connected to the gate of said 2nd PMOS transistor. It is the electrical-potential-difference electronic switch characterized by the current drive capacity of said 1st PMOS transistor being smaller than the current drive capacity of said 2nd PMOS transistor when making the output voltage of said common power-source line change from low-battery level to high-voltage level.

[Claim 9] The 3rd PMOS transistor by which, as for said electrical-potential-difference electronic switch, said pressure-up power source is supplied to the source, The 2nd control signal for changing current serviceability into an input terminal is supplied. The 1st level shifter by which it connects with the gate of said 3rd PMOS transistor, and an output terminal changes the logic "H" level of said 2nd control signal into the voltage level of said pressure-up power source from the voltage level of said supply voltage, The 4th PMOS transistor by which the drain was connected to the drain of said 3rd PMOS transistor, and the source was connected to said common power-source line, Said 2nd control signal is supplied to an input terminal, and it has the 4th level shifter by which the output terminal was connected to the gate of said 4th PMOS transistor. The current drive capacity of said 3rd and 4th PMOS transistors is an electrical-potential-difference electronic switch according to claim 8 characterized by being larger

than the current drive capacity of said 2nd PMOS transistor.

[Claim 10] Said 2nd control signal is an electrical-potential-difference electronic switch according to claim 9 characterized by activating and making said 3rd and 4th PMOS transistors into an ON state after the output voltage level of said common power-source line changes to the voltage level of said pressure-up power source.

[Claim 11] Two or more PMOS transistors connected to the common power-source line by which two or more pressure-up power sources which have a voltage level different, respectively from supply voltage are supplied to each source, and each drain supplies output voltage, Two or more level shifters by which each control signal for performing an electrical-potential-difference change was supplied to each input terminal, and each output terminal was connected to it at each gate of two or more of said PMOS transistors, Two or more 1st electrical-potential-difference generating circuits which generate each of two or more of said pressure-up power sources based on two or more mode-of-operation signals activated according to each mode of operation, respectively, The electrical-potential-difference electronic switch characterized by having the 2nd electrical-potential-difference generating circuit which generates the electrical potential difference supplied to the substrate of two or more of said PMOS transistors, and the power-source line of two or more of said level shifters based on said two or more mode-of-operation signals.

[Claim 12] Said 2nd electrical-potential-difference generating circuit is an electrical-potential-difference electronic switch according to claim 11 characterized by generating the electrical potential difference of the maximum level in each mode of operation.

---

[Translation done.]

\* NOTICES \*

**JPO and NCIP are not responsible for any  
damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
  2. \*\*\*\* shows the word which can not be translated.
  3. In the drawings, any words are not translated.
- 

## **DETAILED DESCRIPTION**

---

### **[Detailed Description of the Invention]**

**[0001]**

**[Field of the Invention]** This invention relates to the electrical-potential-difference electronic switch in the semiconductor device which uses two or more electrical potential differences.

**[0002]**

**[Description of the Prior Art]** As for the nonvolatile memory for which the memory cell which has a floating gate is used, the high voltage more than supply voltage is needed in the case of the writing to a memory cell, and elimination. It is dependent on the device property of the memory cell to be used, and the voltage level is of infinite variety. For example, as for the memory cell using a channel hot electron (CHE), the forward high voltage (about 10V) is impressed to a gate terminal and a drain terminal at the time of writing. Moreover, usually voltage levels also differ for every terminal of a memory cell.

**[0003]** Therefore, according to a mode of operation (writing in elimination, read-out), it is necessary to supply a desired electrical potential difference to a memory cell inside the chip of nonvolatile memory. For example, it is necessary to impress the electrical potential difference of 6V to the source terminal of a memory cell at the time of 10V and elimination at the time of writing. That is, two or more voltage levels in the interior of a chip are generated, and it is necessary to supply one power-source line for the terminals of a memory cell (for example,

power-source line for memory cell source lines). A circuit required for this actuation is an electrical-potential-difference electronic switch.

[0004] The example of a configuration of the conventional electrical-potential-difference electronic switch is shown in drawing 9 and drawing 10 .

[0005] In drawing 9 , 1 is a PMOS transistor for an electrical-potential-difference change, and 2 is a level shifter (LS). VPP1 and VPP2 are the 1st high voltage and the 2nd high voltage which have a voltage level higher than supply voltage VDD, respectively, and VOUT is the output voltage of a common power-source line. The control signals C1 and C2 for making the input terminal of a level shifter 2 turn on / turn off the PMOS transistor transistor 1 for an electrical-potential-difference change are supplied, and the gate of the PMOS transistor 1 for an electrical-potential-difference change is connected to the output terminal. VOUT is impressed to the substrate of the PMOS transistor 1 for a change.

[0006] As shown in drawing 9 , output voltage VOUT is always higher than the 1st high voltage VPP1 and the 2nd high voltage VPP2, or since it has the equal voltage level, it is prevented that forward bias is impressed between a substrate, the source, and a drain. However, for example, if the 2nd high voltage VPP2 is the greatest voltage level, the substrate of the PMOS transistor 1 for an electrical-potential-difference change by the side of VPP2 may be connected to VPP2 side. According to the condition of control signals C1 and C2, the 1st high voltage VPP1 or 2nd high voltage VPP2 is outputted as output voltage VOUT.

[0007] The electrical-potential-difference electronic switch shown in drawing 10 is the same as that of drawing 9 functionally. In drawing 10 , although the PMOS transistors 1 and 1a for an electrical-potential-difference change have serial composition, since the case where forward bias is impressed between the substrate of the PMOS transistor 1 for an electrical-potential-difference change, the source, and a drain arises with the configuration of drawing 9 when the relation (quantity/low) of the voltage level of an input side and an output side changes by the mode of operation, this is for preventing this. Therefore, it has prevented that forward bias is impressed by impressing VPP1 or VPP2 to the

substrate of the PMOS transistor 1 for an electrical-potential-difference change of an input side, and impressing VOUT to the substrate of PMOS transistor 1a for an electrical-potential-difference change of an output side.

[0008] Here, the internal-circuitry configuration of the level shifter 2 of drawing 9 and drawing 10 is shown in drawing 11 . In addition, level-shifter 2a of drawing 10 also takes the same circuitry as a level shifter 2. As for the PMOS transistor for level shifts, and 4, in drawing 11 , 3 is [ the NMOS transistor for level shifts and 5 ] inverters. A level shifter 2 is a circuit which it consists of two PMOS transistors 3, two NMOS transistors 4, and one inverter 5, and the high voltage is supplied to the power-source line 21, and transforms the "logic H" side voltage level VDD into the "logic H" side voltage level VPP. [ of an input line 22 ] [ of an output line 23 ] Both the voltage levels by the side of logic "L" are VSS(s) (GND).

[0009]

[Problem(s) to be Solved by the Invention] About the trouble of the above-mentioned conventional electrical-potential-difference electronic switch, it lists below.

[0010] (1) In the electrical-potential-difference electronic switch of drawing 9 , the timing which performs an electrical-potential-difference change is decided with control signals C1 and C2, and since the transition time is the usual logical circuit, it is several nanoseconds. Namely, the change of high voltages VPP1 and VPP2 is performed in several nanoseconds. For this reason, if an electrical-potential-difference change is performed steeply, overshoot by parasitic capacitance coupling between each terminal of the PMOS transistor 1 for an electrical-potential-difference change etc. will occur, and the electrical potential difference more than the pressure-up level VPP will be impressed to a device. In repeating rewriting actuation many times, the voltage level more than VPP will be repeatedly impressed to a device at a long period of time, and poses a device proof-pressure up problem. Moreover, the pulse of steep forward bias may be impressed by steep electrical-potential-difference change between a substrate, the source, and a drain, and a latch rise may arise according to this substrate

current. That is, starting of the steep electrical potential difference of nanosecond order is a big problem on the dependability of a device.

[0011] (2) Next, in the electrical-potential-difference electronic switch of drawing 10 , as shown in the electrical-potential-difference wave form chart of drawing 12 , consider the case where change a control signal C2 from logic "H" level to logic "L" level, change a control signal C1 from logic "L" level to logic "H" level, and output voltage VOUT is changed from the 1st high voltage VPP1 to the 2nd high voltage VPP2 (here, referred to as VPP2>VPP1). In the intermediate node NM of drawing 10 , since load-carrying capacity is small as compared with the output node NO, the electrical potential difference VM of an intermediate node NM rises from VPP1 to VPP2 ahead of VOUT. That is, in PMOS transistor 1a for an electrical-potential-difference change of an output side, forward bias will be impressed between a substrate and the source and a substrate current will flow. If the device size of PMOS transistor 1a for an electrical-potential-difference change is large, a substrate current may become large and a latch rise may be made to attract. That is, in the electrical-potential-difference electronic switch which made the serial the PMOS transistors 1 and 1a for an electrical-potential-difference change as shown in drawing 10 , when making output voltage change from a low to a high level, there is a problem that a latch rise may arise.

[0012] (3) More nearly further than one step of case, since the PMOS transistors 1 and 1a for an electrical-potential-difference change have serial composition, it is necessary to double device size with the configuration of drawing 10 .) For example, when changing two voltage levels, in an one-step configuration, two PMOS transistors 1 for an electrical-potential-difference change of channel width Wp should just be used (total channel width is 2Wp(s)). However, in a 2 steps of serial configuration, it is necessary to use four PMOS transistors for an electrical-potential-difference change of channel width 2Wp (total channel width is 8Wp(s)). That is, in a 2 steps of serial configuration, the PMOS transistor for an electrical-potential-difference change of a 4 times as many scale as this is needed, and it accompanies, and since a level shifter is [ 2 double ] also necessary, there is

also a problem that area becomes still larger.

[0013] It is in offering the electrical-potential-difference electronic switch which this invention was made in view of the above-mentioned trouble, the purpose prevented the overvoltage at the time of an electrical-potential-difference change, and generating of a latch rise, and dependability was raised, and suppressed increase of a chip area.

[0014]

[Means for Solving the Problem] In order to attain the aforementioned purpose, the 1st electrical-potential-difference electronic switch concerning this invention The pressure-up power source (VPP) which has a different voltage level from supply voltage is supplied to the source. The 1st PMOS transistor by which connects with the common power-source line by which a drain supplies output voltage (VOUT), and a pressure-up power source or output voltage is supplied to a substrate (transistor for an electrical-potential-difference change), The capacitor connected between the gate of the 1st PMOS transistor, and a common power-source line, The 2nd PMOS transistor by which the pressure-up power source was supplied to the source and a substrate, and the drain was connected to the gate of the 1st PMOS transistor (transistor for control), The control signal (CTRL) for performing an electrical-potential-difference change to an input terminal is supplied. The 1st level shifter by which it connects with the gate of the 2nd PMOS transistor, and an output terminal changes the logic "H" level of a control signal into the voltage level of a pressure-up power source from the voltage level of supply voltage (LS), It is controlled by the output signal from the 1st level shifter, and is characterized by having the current regulator circuit which discharges the voltage level of the gate of the 1st PMOS transistor even on touch-down level.

[0015] In this 1st electrical-potential-difference electronic switch a current regulator circuit The 1st NMOS transistor by which a drain is connected to the gate of the 1st PMOS transistor, and supply voltage is impressed to the gate, The 2nd NMOS transistor by which the drain was connected to the source of the

1st NMOS transistor, and the gate was connected to the output terminal of the 1st level shifter, It is desirable to have the 3rd NMOS transistor by which a drain is connected to the source of the 2nd NMOS transistor, the source is connected to touch-down potential, and bias voltage (VBIAS) is supplied to the gate.

[0016] Moreover, the 1st electrical-potential-difference electronic switch is characterized by having the 3rd PMOS transistor by which the drain was connected to the drain of the 1st PMOS transistor, and the source and a substrate were connected to the common power-source line, and the 2nd level shifter by which the input terminal was connected to the input terminal of the 1st level shifter, and the output terminal was connected to the gate of the 3rd PMOS transistor.

[0017] If the discharge current of a current regulator circuit is set as a desired current value in order according to the 1st electrical-potential-difference electronic switch of the above-mentioned configuration to perform drawing actuation of the gate voltage level of the PMOS transistor for an electrical-potential-difference change through a current regulator circuit and to make the PMOS transistor for an electrical-potential-difference change into an ON state, an electrical-potential-difference change rate can be set up freely. Therefore, it becomes possible to prevent the steep electrical-potential-difference change of nanosecond order, and the dependability of a device can be secured.

[0018] In order to attain the aforementioned purpose, the 2nd electrical-potential-difference electronic switch concerning this invention The pressure-up power source (VPP) which has a different voltage level from supply voltage is supplied to the source. The 1st PMOS transistor by which connects with the common power-source line by which a drain supplies output voltage (VOUT), and a pressure-up power source or output voltage is supplied to a substrate (transistor for an electrical-potential-difference change), The capacitor connected between the gate of the 1st PMOS transistor, and a common power-source line, The 2nd PMOS transistor by which the pressure-up power source was supplied to the source and a substrate, and the drain was connected to the gate of the 1st

PMOS transistor (transistor for control), The control signal for performing an electrical-potential-difference change is supplied to an input terminal, and an output terminal is connected to it at the gate of said 2nd PMOS transistor. The 1st level shifter which changes the logic "H" level of said control signal into the voltage level of said pressure-up power source from the voltage level of said supply voltage (LS), A control signal, respectively On the other hand, two or more logic gates where an input terminal is supplied and two or more mode-of-operation signals (MODE1, MODE2, MODE3) activated according to each mode of operation are supplied to the input terminal of another side, respectively (For example, 2 input AND circuit) and two or more 2nd shift registers by which each input terminal was connected to each output terminal of two or more logic gates, It is controlled by the output signal from two or more 2nd level shifters, and has the current regulator circuit which discharges the voltage level of the gate of the 1st PMOS transistor even on touch-down level. A current regulator circuit The 1st NMOS transistor by which a drain is connected to the gate of the 1st PMOS transistor, and supply voltage is impressed to the gate, Common connection of each drain is made at the source of the 1st NMOS transistor. Two or more 2nd NMOS transistors which have the device size (for example, gate width) from which it connects with each output terminal of the 2nd level shifter, and each gate differs, respectively, Each drain is connected to each source of two or more 2nd NMOS transistors. Each source is connected to touch-down potential, bias voltage (VBIAS) is supplied to each gate in common, and it is characterized by having two or more 3rd NMOS transistors which have device size (for example, gate width) different, respectively.

[0019] This 2nd electrical-potential-difference electronic switch is characterized by having the 3rd PMOS transistor by which the drain was connected to the drain of the 1st PMOS transistor, and the source and a substrate were connected to the common power-source line, and the 3rd level shifter to which the input terminal was connected to the input terminal of the 1st level shifter, and the output terminal was connected at the gate of the 3rd PMOS transistor.

[0020] According to the 2nd electrical-potential-difference electronic switch of the above-mentioned configuration, for every mode of operation, the size of two or more 2nd [ the ] and the 3rd NMOS transistor can be changed, respectively, and the strength of discharge current of a current regulator circuit can be adjusted, namely, the rate of the electrical-potential-difference change with the PMOS transistor for an electrical-potential-difference change can be adjusted in order to correspond to the load of a common power-source line which changes according to a mode of operation. Therefore, it is not based on a mode of operation, but conversely possible [ making an electrical-potential-difference change rate regularity ], an electrical-potential-difference change rate can be adjusted for every mode of operation, and the design of an electrical-potential-difference change sequence becomes simple.

[0021] As for the 1st electrical-potential-difference electronic switch, it is desirable to have the voltage adjustment circuit which outputs the bias voltage which has a different voltage level generated from reference voltage (VREF) according to two or more mode-of-operation signals (MODE1, MODE2, MODE3) activated according to each mode of operation.

[0022] Since according to this configuration bias voltage VBIAS is changed according to a mode of operation and the strength of discharge current of the gate of the PMOS transistor for an electrical-potential-difference change is adjusted, two or more level shifter and two or more NMOS transistors like the 2nd electrical-potential-difference electronic switch become unnecessary, and can reduce a circuit scale. That is, on a scale of a smaller circuit, an electrical-potential-difference change rate can be adjusted for every mode of operation, and the design of an electrical-potential-difference change sequence becomes simple.

[0023] Moreover, a drain is connected to the drain of the 3rd NMOS transistor, the source is connected to touch-down potential, to the gate, logic "H" level is supply voltage level, and, as for the 1st electrical-potential-difference electronic switch, it is desirable to have the 4th NMOS transistor (transistor for current

drawing) to which the control signal (VEM) activated at the time of foreign voltage impression mode is supplied.

[0024] Since the NMOS transistor for current drawing drives with the control signal of supply voltage VDD level when it has the analysis mode of operation which impresses from the outside the full voltage used inside a chip according to this configuration, an electrical-potential-difference change can be performed at the same rate as the time of normal operation at the time of the analysis actuation which makes full voltage external impression, the steep electrical-potential-difference change of nanosecond order can be prevented, and the dependability of a device can be secured.

[0025] In order to attain the aforementioned purpose, the 3rd electrical-potential-difference electronic switch concerning this invention The 1st PMOS transistor by which the pressure-up power source (VPP) which has a different voltage level from supply voltage is supplied to the source (the transistor for an electrical-potential-difference change of an input side: gate width W21), The 1st control signal (C2) for performing an electrical-potential-difference change to an input terminal is supplied. The 1st level shifter by which it connects with the gate of the 1st PMOS transistor, and an output terminal changes the logic "H" level of the 1st control signal into the voltage level of a pressure-up power source from the voltage level of supply voltage (LS), The 2nd PMOS transistor by which the drain was connected to the drain of the 1st PMOS transistor, and the source was connected to the common power-source line which supplies output voltage (VOUT) (the transistor for an electrical-potential-difference change of an output side: gate width W22), The 1st control signal is supplied to an input terminal, and it has the 2nd level shifter (LS) by which the output terminal was connected to the gate of the 2nd PMOS transistor. When making the output voltage of a common power-source line change from low-battery level to high-voltage level, current drive capacity of the 1st PMOS transistor is characterized by the thing smaller (W21<W22) than the current drive capacity of the 2nd PMOS transistor.

[0026] According to this 3rd electrical-potential-difference electronic switch, the

transition rate of the electrical potential difference in the intermediate node between the PMOS transistors for an electrical-potential-difference change of an input side and the PMOS transistors for an electrical-potential-difference change of an output side which were constituted by the serial on the occasion of an electrical-potential-difference change can be controlled. By this, it can prevent that forward bias is impressed between the substrate in the PMOS transistor for an electrical-potential-difference change of an output side, and a drain, a latch rise can be prevented, and the dependability of a device can be secured.

[0027] The 3rd PMOS transistor by which, as for the 3rd electrical-potential-difference electronic switch, a pressure-up power source is supplied to the source (gate width W3), The 2nd control signal (C3) for changing current serviceability into an input terminal is supplied. The 1st level shifter by which it connects with the gate of the 3rd PMOS transistor, and an output terminal changes the logic "H" level of the 2nd control signal into the voltage level of a pressure-up power source from the voltage level of supply voltage, The 4th PMOS transistor by which the drain was connected to the drain of the 3rd PMOS transistor, and the source was connected to the common power-source line (gate width W3), The last 2nd control signal (C3) is supplied to an input terminal, and it has the 4th level shifter by which the output terminal was connected to the gate of the 4th PMOS transistor. The larger ( $W3 > W22$ ) thing of the current drive capacity of the 3rd and 4th PMOS transistors than the current drive capacity of the 2nd PMOS transistor is desirable. In this case, it activates and the 2nd control signal (C3) makes an ON state the 3rd and 4th PMOS transistors, after the output voltage level of a common power-source line changes to the voltage level of a pressure-up power source.

[0028] While according to this configuration being able to prevent a latch rise in the case of an electrical-potential-difference change and being able to secure the dependability of a device, it can follow in footsteps of the load effect after electrical-potential-difference transition.

[0029] In order to attain the aforementioned purpose, the 4th electrical-potential-

difference electronic switch concerning this invention Two or more pressure-up power sources (VPP1 - VPPn) which have a voltage level different, respectively from supply voltage are supplied to each source. Two or more PMOS transistors connected to the common power-source line by which each drain supplies output voltage (VOUT), Two or more level shifters by which each control signal (C1-Cn) for performing an electrical-potential-difference change was supplied to each input terminal, and each output terminal was connected to it at each gate of two or more PMOS transistors, Two or more 1st electrical-potential-difference generating circuits which generate two or more pressure-up power sources based on two or more mode-of-operation signals activated according to each mode of operation, respectively (VPPGEN1 - VPPGENn), It is characterized by having the 2nd electrical-potential-difference generating circuit (VSWGGEN) which generates the electrical potential difference supplied to the substrate of two or more PMOS transistors, and the power-source line of two or more level shifters based on two or more mode-of-operation signals. In this case, the 2nd electrical-potential-difference generating circuit generates the electrical potential difference of the maximum level in each mode of operation.

[0030] Since according to this 4th electrical-potential-difference electronic switch the device used for electrical-potential-difference change actuation can be constituted from one step of PMOS transistor and the level shifter which accompanies coincidence can also be constituted from one step, the circuit scale of an electrical-potential-difference electronic switch can be reduced, and layout area can be made small.

[0031]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained with reference to a drawing.

[0032] (1st operation gestalt) Drawing 1 (a) is the circuit block diagram showing the configuration of the electrical-potential-difference electronic switch concerning the 1st operation gestalt of this invention. As for the PMOS transistor for control for the PMOS transistor for an electrical-potential-difference change

and 2 to control a level shifter (LS), and for 1 control the gate of the PMOS transistor 1 for an electrical-potential-difference change, as for 6, and 7, in drawing 1 (a), a current regulator circuit and 8 are capacitors. Here, a level shifter 2 consists of circuits as shown in drawing 11 . The pressure-up power source VPP is supplied to the source of the PMOS transistor 1 for an electrical-potential-difference change, and output voltage VOUT is supplied to a common power-source line from the drain.

[0033] In drawing 1 (a), although the substrate of the PMOS transistor 1 for an electrical-potential-difference change is connected to the pressure-up power source VPP, this is the case where VPP is the greatest voltage level among various pressure-up power sources. Moreover, even if it supplies the output voltage VOUT of a common power-source line to the substrate of the PMOS transistor 1 for an electrical-potential-difference change, the effectiveness of this invention is the same. Other electrical-potential-difference electronic switches (un-illustrating) which output the electrical potential difference of level which is different in VPP are connected to this common power-source line, the electrical potential difference of various level is supplied to a common power-source line, and these electrical potential differences are transmitted to terminals, such as the source of nonvolatile memory, and a drain.

[0034] The drain of the PMOS transistor 6 for control, one electrode of a capacitor 8, and the current regulator circuit 7 are connected to the gate of the PMOS transistor 1 for an electrical-potential-difference change. The source of the PMOS transistor 6 for control is connected to the pressure-up power source VPP, and the gate is connected to the output terminal of a level shifter 2. The electrode of another side of a capacitor 8 is connected to a common power-source line. A current regulator circuit 7 is constituted between the gate of the PMOS transistor 1 for an electrical-potential-difference change, and VSS (GND).

[0035] Next, actuation of the electrical-potential-difference electronic switch constituted as mentioned above is explained.

[0036] First, an electrical-potential-difference change is performed by the control

signal CTRL. In the electrical-potential-difference electronic switch of drawing 1 (a), when a control signal CTRL is set to logic "L" level (VSS), logic "L" level (VSS) is transmitted to the gate of the PMOS transistor 6 for control, and the PMOS transistor 6 for control is turned on. On the other hand, a current regulator circuit 7 is turned off and does not perform a current drive. Therefore, VPP level is transmitted to the gate of the PMOS transistor 1 for an electrical-potential-difference change, and the PMOS transistor 1 for an electrical-potential-difference change is turned off.

[0037] Next, when a control signal CTRL is set to logic "H" level (VDD), a voltage level is changed by the level shifter 2 and VPP level is transmitted to the gate of the PMOS transistor 6 for control. On the other hand, a current regulator circuit 7 is turned on and performs current drive actuation. Therefore, the gate of the PMOS transistor 1 for an electrical-potential-difference change discharges by the current drive of a current regulator circuit 7, and, finally is set to VSS level from VPP level. That is, the PMOS transistor 1 for an electrical-potential-difference change is turned on, and the pressure-up power source VPP is transmitted to a common power-source line as output voltage VOUT.

[0038] In the conventional example, since it responded to ON / off rate of the output voltage of a level shifter 2 and the PMOS transistor 1 for an electrical-potential-difference change was made to turn on / turn off, the electrical-potential-difference change was performed in several nanoseconds. On the other hand, with this operation gestalt, since the gate potential of the PMOS transistor 1 for an electrical-potential-difference change discharges with a fixed current by the current regulator circuit 7, the amount of currents of a current regulator circuit 7 can determine a discharge rate. Therefore, the transition rate to the ON state of the PMOS transistor 1 for an electrical-potential-difference change can be enlarged by setting up appropriately the amount of currents of a current regulator circuit 7.

[0039] Drawing 1 (b) is the circuit diagram of the electrical-potential-difference electronic switch by this operation gestalt having shown concretely the internal

configuration of the current regulator circuit 7 of drawing 1 (a). In drawing 1 (b), 9, 10, and 11 are NMOS transistors. Like illustration, series connection of the three NMOS transistors 9, 10, and 11 is carried out. The drain is connected to VDD and the gate of the PMOS transistor 1 for an electrical-potential-difference change and the source are connected to the drain of the NMOS transistor 10 for the gate of the NMOS transistor 9. The NMOS transistor 9 is what was prepared in order to ease the source / electrical potential difference between drains of the NMOS transistors 10 and 11, and when pressure-up level is small, it may be omitted. The source of the NMOS transistor 10 is connected to the drain of the NMOS transistor 11, and the gate is connected to the output terminal of a level shifter 2. ON / off control of a current regulator circuit 7 are performed by the NMOS transistor 10. Bias voltage VBIAS is supplied to the gate of the NMOS transistor 11, and the source is connected to VSS (GND).

[0040] Like nonvolatile memory, when an electrical-potential-difference conversion circuit is prepared in the interior of a chip, it is usually designed so that reference voltage VREF may be generated inside a chip and supply voltage, temperature, and the electrical-potential-difference level variation by process fluctuation may be controlled as much as possible. What is necessary is just to use another reference voltage VREF as bias voltage VBIAS. The strength of discharge current of a current regulator circuit 7 is determined by the device size of the NMOS transistor 11, and the level of bias voltage VBIAS.

[0041] Although the output voltage VOUT to a common power-source line is always higher than the pressure-up power source VPP of an input side or the above explains the configuration of the electrical-potential-difference electronic switch in the case of being equal, the output voltage VOUT to a common power-source line may become lower than other pressure-up power sources VPPn. The configuration of the electrical-potential-difference electronic switch in this case is shown in drawing 2 (a).

[0042] In addition to the configuration of drawing 1 (a), the configuration of drawing 2 (a) prepares PMOS transistor 1a for an electrical-potential-difference

change, and level-shifter 2a connected to the gate of PMOS transistor 1a for an electrical-potential-difference change. Other components are the same as drawing 1 (a). In drawing 2 (a), the pressure-up power source VPP is supplied to the substrate of the PMOS transistor 1 for an electrical-potential-difference change of an input side, and the output voltage VOUT of a common power-source line is supplied to the substrate of PMOS transistor 1a for an electrical-potential-difference change of an output side. If it does in this way, even if which of the electrical potential difference of an input side and an output side becomes high, it can prevent that forward bias is impressed between the substrate of the PMOS transistors 1 and 1a for an electrical-potential-difference change, and a drain.

[0043] Drawing 2 (b) is the circuit diagram showing the internal configuration of the current regulator circuit 7 of drawing 2 (a) concretely showing other examples of a configuration of the electrical-potential-difference electronic switch by this operation gestalt. The internal configuration of the current regulator circuit 7 of drawing 2 (b) is the same as that of drawing 1 (b). By the circuitry of drawing 2 (a) and drawing 2 (b), effectiveness equivalent to the effectiveness explained by drawing 1 (a) and 1 (b) is acquired.

[0044] As mentioned above, if the discharge current of a current regulator circuit 7 is set as a desired current value in order to perform discharge actuation of the gate potential of a making [ change to an ON state ]-PMOS transistor 1 for electrical-potential-difference change sake through a current regulator circuit 7 according to this operation gestalt, the rate which makes the PMOS transistor 1 for an electrical-potential-difference change turn on can be set up freely.

Therefore, the steep electrical-potential-difference change of nanosecond order like before can be prevented, and the dependability of a device can be raised.

[0045] (2nd operation gestalt) Drawing 3 is the circuit diagram showing the configuration of the electrical-potential-difference electronic switch concerning the 2nd operation gestalt of this invention. In addition, in drawing 3 , the same sign is given to the same component as drawing 1 and drawing 2 which illustrate

the 1st operation gestalt, and explanation is omitted.

[0046] In drawing 3 , 2b and 2c and 2d of a level shifter (LS) and 10b, 10c, 10d, 11b, 11c, and 11d are [ an NMOS transistor and 12 ] logic gates (the example of drawing 3 2 input AND circuit). The output terminal of a logic gate 12 is connected to level-shifter 2b and an input terminal (2c and 2d), the control signal CTRL for turning on/off controlling the PMOS transistor 1 for an electrical-potential-difference change is supplied to one input terminal of a logic gate 12, and the signals MODE1, MODE2, and MODE3 corresponding to each mode of operation are supplied to the input terminal of the another side, respectively.

[0047] Level-shifter 2b and an output terminal (2c and 2d) are connected to the NMOS transistors [ 10b, 10c, and 10d (2nd NMOS transistor) ] gate, common connection of the NMOS transistors [ 10b, 10c, and 10d ] drain is made, and it is connected to the source of the NMOS transistor 9. The NMOS transistors [ 10b, 10c, and 10d ] source is connected to an NMOS transistors [ 11b, 11c, and 11d (3rd NMOS transistor) ] drain, respectively, and bias voltage VBIAS is supplied to the gate common [ the NMOS transistors / 11b, 11c, and 11d / source ] to VSS (GND). Here, the NMOS transistors 10b, 10c, and 10d have device size different, respectively. Similarly, it has the device size from which the NMOS transistors 11b, 11c, and 11d also differ, respectively.

[0048] In addition, in drawing 3 , although the substrate of the PMOS transistor 1 for an electrical-potential-difference change is connected to the pressure-up power source VPP, this is the case where VPP is the greatest voltage level among various pressure-up power sources. Moreover, even if it connects the substrate of the PMOS transistor 1 for an electrical-potential-difference change to a common power-source line, the effectiveness of this invention is the same.

[0049] As explained previously, in the case of nonvolatile memory, the common power-source line by which output voltage VOUT is supplied is a power-source line for supplying an electrical potential difference to the source terminal and drain terminal of a memory cell, and loaded condition changes with modes of operation (writing in elimination, read-out) of nonvolatile memory. For example,

when it is 5mA at the time of writing and the load current is 10mA at the time of elimination, the load-carrying capacity which should charge may be 600pF at the time of 300pF and elimination at the time of writing.

[0050] In this case, like the 1st operation gestalt, when the PMOS transistor 1 for an electrical-potential-difference change is driven with fixed strength of discharge current by the current regulator circuit 7, the change rate of an electrical potential difference changes with modes of operation. This is for not deciding a change rate only by the charging time value of the gate of the PMOS transistor 1 for an electrical-potential-difference change, but changing also with the magnitude of the load of a common power-source line. That is, according to a mode of operation, it is necessary to perform separately the timing design of an electrical-potential-difference change sequence.

[0051] So, with this operation gestalt, with the signals MODE1, MODE2, and MODE3 corresponding to each mode of operation, level-shifter 2b and any 1 of 2c and 2d are activated, and the NMOS transistors 10b, 10c, and 10d for current drawing also activate any one similarly. Like point \*\*, since NMOS transistors [ for current drawing / 10b, 10c, and 10d ] device sizes differ, respectively, they can change the strength of discharge current of a current regulator circuit according to a mode of operation. That is, corresponding to the load which changes according to a mode of operation, it becomes possible to change strength of discharge current. That is, strength of discharge current is changed according to a load, and it becomes possible to maintain the electrical-potential-difference change rate same final always.

[0052] In addition, in this operation gestalt, even if it adds PMOS transistor 1a by which the series connection was carried out to the PMOS transistor 1 for an electrical-potential-difference change, and level-shifter 2a like drawing 2 (a) and drawing 2 (b), the effectiveness of this invention is the same.

[0053] As mentioned above, according to this operation gestalt, for every mode of operation, the NMOS transistors 10b, 10c, and 10d and NMOS transistors [ 11b 11c, and 10d ] size can be changed, respectively, and the strength of

discharge current of a current regulator circuit can be adjusted, namely, the rate of the electrical-potential-difference change with the PMOS transistor 1 for an electrical-potential-difference change can be adjusted in order to correspond to the load of a common power-source line which changes according to a mode of operation. Therefore, it is not based on a mode of operation, but conversely possible [ making an electrical-potential-difference change rate regularity ], an electrical-potential-difference change rate can be adjusted for every mode of operation, and the design of an electrical-potential-difference change sequence becomes simple.

[0054] (3rd operation gestalt) Drawing 4 (a) is the circuit block diagram showing the electrical-potential-difference electronic switch configuration concerning the 3rd operation gestalt of this invention. In addition, in drawing 4 (a), the same sign is given to the same component as drawing 1 (b) which illustrates the 1st operation gestalt, and explanation is omitted. In addition to the configuration of the 1st operation gestalt, this operation gestalt has the description in the point of having formed the voltage adjustment circuit 13.

[0055] In drawing 4 (a), reference voltage VREF (the 2nd reference voltage) and the signals MODE1, MODE2, and MODE3 corresponding to each mode of operation are inputted into the voltage adjustment circuit 13. The output voltage VBIAS of the voltage adjustment circuit 13 is supplied to the gate of the NMOS transistor 11 for current drawing.

[0056] In addition, in drawing 4 (a), although the pressure-up electrical potential difference VPP is supplied to the substrate of the PMOS transistor 1 for an electrical-potential-difference change, this is the case where the pressure-up power source VPP has the greatest voltage level among various pressure-up power sources. Moreover, even if it supplies the output voltage VOUT of a common power-source line to the substrate of the PMOS transistor 1 for an electrical-potential-difference change, the effectiveness of this invention is the same.

[0057] This operation gestalt takes the configuration which adjusts the voltage

level of bias voltage VBIAS impressed to the gate of the NMOS transistor 11 for drawing by the voltage adjustment circuit 13 according to a mode of operation. That is, corresponding to the load which changes according to a mode of operation, the voltage adjustment circuit 13 changes the voltage level of bias voltage VBIAS, and changes the strength of discharge current of a current regulator circuit. That is, strength of discharge current is changed according to a load, and it becomes possible to maintain the electrical-potential-difference change rate same final always.

[0058] Drawing 4 (b) is the circuit diagram showing the example of an internal configuration of the voltage adjustment circuit 13. Setting to drawing 4 (b), resistance of the plurality [ 14 ] for an electrical-potential-difference setup and 15 are the NMOS transistors for voltage selections. The signals MODE1, MODE2, and MODE3 corresponding to each mode of operation are supplied to the gate of the NMOS transistor 15 for voltage selections. Two or more resistance 14 generates the partial pressure electrical potential difference which has three level among reference voltages VREF (the 2nd reference voltage) and VSS (GND). According to a mode of operation, any one of the NMOS transistors 15 for voltage selections is turned on, and the partial pressure level of reference voltage VREF is outputted as bias voltage VBIAS. Therefore, bias voltage VBIAS of different level according to a mode of operation is outputted from the voltage adjustment circuit 13.

[0059] In addition, in this operation gestalt, even if it adds PMOS transistor 1a by which the series connection was carried out to the PMOS transistor 1 for an electrical-potential-difference change, and level-shifter 2a like drawing 2 (a) and drawing 2 (b), the effectiveness of this invention is the same.

[0060] As mentioned above, since according to this operation gestalt bias voltage VBIAS is changed according to a mode of operation and the strength of discharge current of the gate of the PMOS transistor 1 for an electrical-potential-difference change is adjusted, two or more level-shifter 2bs like the 2nd operation gestalt, 2c, 2d, and two or more NMOS transistors 10b, 10c, 10d, 11b, 11c, and

11d for drawing become unnecessary, and can reduce a circuit scale. That is, on a scale of a smaller circuit, an electrical-potential-difference change rate can be adjusted for every mode of operation, and the design of an electrical-potential-difference change sequence becomes simple.

[0061] (4th operation gestalt) Drawing 5 is the circuit diagram showing the configuration of the electrical-potential-difference electronic switch concerning the 4th operation gestalt of this invention. In addition, in drawing 5 , the same sign is given to the same component as drawing 1 (b), and explanation is omitted. In addition to the configuration of the 1st operation gestalt, this operation gestalt has the description in the point of having formed the NMOS transistor 16 for current drawing.

[0062] In drawing 5 , the drain of the NMOS transistor 16 for current drawing is connected to the connection of the source of the NMOS transistor 10 for current drawing, and the drain of the NMOS transistor 11 for current drawing, and the control signal VEM with which logic "H" level has supply voltage VDD level is supplied to the gate of the NMOS transistor 16 for current drawing.

[0063] In addition, in drawing 5 , although the pressure-up power source VPP is supplied to the substrate of the PMOS transistor 1 for an electrical-potential-difference change, this is the case where the pressure-up power source VPP has the greatest voltage level among various pressure-up power sources. Moreover, even if it supplies the output voltage VOUT of a common power-source line to the substrate of the PMOS transistor 1 for an electrical-potential-difference change, the effectiveness of this invention is the same.

[0064] Here, in the initial stage of development of nonvolatile memory, all the electrical potential differences of bulk generation may be made into an OFF state for analysis evaluation of a memory chip. In this case, all the electrical potential differences of chip bulk generation are made into an OFF state, and all required electrical potential differences are impressed from the chip outside (foreign voltage impression mode). In the example of drawing 5 , the pressure-up power source VPP will be supplied from the chip outside. However, the electrical-

potential-difference electronic switch for distributing the electrical potential difference impressed from the chip outside to the interior is required.

[0065] Bias voltage VBIAS will also be in an OFF state, and the electrical-potential-difference electronic switch of the 1st to 3rd operation gestalt mentioned above stops operating in foreign voltage impression mode. So, with this operation gestalt, the NMOS transistor 16 for current drawing is formed in juxtaposition at the NMOS transistor 11 for current drawing used at the time of normal operation. When it is set as foreign voltage impression mode, bias voltage VBIAS sets up by the OFF state so that a control signal VEM may be in "Logic H" level condition. As mentioned above, the logic "H" level of a control signal VEM is supply voltage VDD level. The device size is adjusted so that the NMOS transistor 16 for current drawing may become the same capacity as the current drive capacity of the NMOS transistor 11 for bias voltage VBIAS to be impressed to the gate. That is, an electrical-potential-difference change rate can be made the same by driving the PMOS transistor 1 for an electrical-potential-difference change with the same strength of discharge current as the time of normal operation also at the time of foreign voltage impression mode.

[0066] In addition, in this operation gestalt, even if it adds PMOS transistor 1a by which the series connection was carried out to the PMOS transistor 1 for an electrical-potential-difference change, and level-shifter 2a like drawing 2 (a) and drawing 2 (b), the effectiveness of this invention is the same.

[0067] as mentioned above , since the NMOS transistor 16 for current drawing drive with the control signal of supply voltage VDD level when it have the analysis mode of operation which impress from the outside the full voltage use inside a chip according to this operation gestalt , an electrical potential difference change can be perform at the same rate as the time of normal operation at the time of the analysis actuation which make full voltage external impression , the steep electrical potential difference change of nanosecond order can be prevent , and the dependability of a device can secure .

[0068] (5th operation gestalt) Drawing 6 (a) is the circuit diagram showing the

configuration of the electrical-potential-difference electronic switch concerning the 5th operation gestalt of this invention. In addition, in drawing 6 (a), the component of this operation gestalt is the same as that of the conventional electrical-potential-difference electronic switch shown in drawing 10 . However, the point that this operation gestalt differs from the conventional example is in the point of giving the difference to the device size of PMOS transistor 1' of a serial configuration, and 1a'.

[0069] In drawing 6 (a) the electrical potential difference VM of the intermediate node NM between PMOS transistor 1' for an electrical-potential-difference change of an input side and PMOS transistor 1a' for an electrical-potential-difference change of an output side In order to avoid going up earlier than the output voltage VOUT of the output node NO Device size (gate width) W21 of PMOS transistor 1' for an electrical-potential-difference change of an input side is set up smaller ( $W21 < W22$ ) than the device size (gate width) W22 of PMOS transistor 1a' for an electrical-potential-difference change of an output side. By this, since the current drive capacity of PMOS transistor 1' for an electrical-potential-difference change of an input side is lower than PMOS transistor 1a' for an electrical-potential-difference change of an output side, it can control the climbing speed of the electrical potential difference VM in an intermediate node NM. as for device size, the climbing speed of the output voltage VOUT of the output node NO and the electrical potential difference VM of an intermediate node NM becomes almost the same ( $VM - VOUT$  does not reach the level used as forward bias) -- what is necessary is just to set up like

[0070] Drawing 6 (b) is an electrical-potential-difference wave form chart in the electrical-potential-difference electronic switch of drawing 6 (a). In drawing 6 (b), since the electrical potential difference VM of an intermediate node NM rises at the almost same rate as the output voltage VOUT of the output node NO unlike the case of drawing 12 , the electrical-potential-difference difference between the substrate of PMOS transistor 1a' for an electrical-potential-difference change of an output side and a drain always serves as the 0V neighborhood, it does not

generate but a substrate current can also prevent a latch rise.

[0071] As mentioned above, according to this operation gestalt, the transition rate of the electrical potential difference VM in the intermediate node NM between PMOS transistor 1' for an electrical-potential-difference change of an input side and PMOS transistor 1a' for an electrical-potential-difference change of an output side which were constituted by the serial on the occasion of an electrical-potential-difference change can be controlled. By this, it can prevent that forward bias is impressed between the substrate in PMOS transistor 1a' for an electrical-potential-difference change of an output side, and a drain, a latch rise can be prevented, and the dependability of a device can be secured.

[0072] (6th operation gestalt) Drawing 7 (a) is the circuit diagram showing the configuration of the electrical-potential-difference electronic switch concerning the 6th operation gestalt of this invention. in addition -- drawing 7 -- ( -- a -- ) -- setting -- a book -- operation -- a gestalt -- drawing 6 -- ( -- a -- ) -- having been shown -- the -- five -- operation -- a gestalt -- a component -- in addition -- a pressure up -- a power source -- VPP -- two -- supplying -- having -- an input side -- an electrical potential difference -- a change -- \*\* -- PMOS -- a transistor -- one -- ' -- an output side -- an electrical potential difference -- a change -- \*\* -- PMOS -- a transistor -- one -- a -- ' -- a series circuit -- juxtaposition -- an electrical potential difference -- a change -- \*\* -- PMOS -- a transistor -- one -- " -- one -- a - - " -- and -- a level shifter -- two -- two -- a -- having prepared -- a point -- the description -- it is -- .

[0073] drawing 7 -- ( -- a -- ) -- setting -- an input side -- an electrical potential difference -- a change -- \*\* -- PMOS -- a transistor -- one -- " -- an output side -- an electrical potential difference -- a change -- \*\* -- PMOS -- a transistor -- one -- a -- " -- each -- the gate -- connecting -- having -- a level shifter -- two -- two -- a -- an input terminal -- \*\*\*\* -- a control signal -- C -- three -- supplying -- having . Here, current drive capacity of PMOS transistor 1for electrical-potential-difference change" of an input side and PMOS transistor 1a" for an electrical-potential-difference change of an output side (each gate width is W3) is made

larger than PMOS transistor 1a' for an electrical-potential-difference change of the output side shown with the 5th operation gestalt (gate width is W22) (namely, gate width  $W_3 > W_{22}$ ).

[0074] In order to avoid that forward bias is impressed at the time of an electrical-potential-difference change in the 5th operation gestalt, the current drive capacity (gate width  $W_{21}$ ) of the PMOS transistor 1 for an electrical-potential-difference change of an input side -- the current drive capacity (gate width  $W_{22}$ ) of PMOS transistor 1a' for an electrical-potential-difference change of an output side -- small -- having carried out ( $W_{21} < W_{22}$ ) -- When transitional fluctuation of a load arises after output voltage  $V_{OUT}$  rose, following in footsteps of it becomes difficult. That is, the voltage level of output voltage  $V_{OUT}$  may descend by the load effect. So, with this operation gestalt, descent of the output voltage  $V_{OUT}$  by the load effect is avoided to juxtaposition at PMOS transistor 1' for an electrical-potential-difference change of the small input side of drive capacity by large PMOS transistor 1" of drive capacity, and connecting 1a."

[0075] Drawing 7 (b) is an electrical-potential-difference wave form chart in the electrical-potential-difference electronic switch of drawing 7 (a). drawing 7 -- (b --) -- setting -- common -- a power source -- a line -- output voltage --  $V_{OUT}$  --  $V_{PP}$  -- two -- level -- changing -- making -- the time -- first --  $V_{PP}$  -- two -- supplying -- having -- an input side -- an electrical potential difference -- a change -- \*\* -- PMOS -- a transistor -- one -- ' -- and -- an output side -- an electrical potential difference -- a change -- \*\* -- PMOS -- a transistor -- one -- a -- ' -- turning on -- making (activating a control signal C2) -- common -- a power source -- a line -- output voltage --  $V_{OUT}$  --  $V_{PP}$  -- two -- level -- changing -- making . Then, a control signal C3 is activated and PMOS transistor 1 for electrical-potential-difference change" and 1a" are made into an ON state.

[0076] this -- a load effect -- being generated -- even if -- a control signal -- C -- three -- being activated -- having had -- an electrical potential difference -- a change -- \*\* -- PMOS -- a transistor -- one -- " -- one -- a -- " -- a current -- a drive -- capacity -- being large -- a sake -- a load effect -- receiving -- enough --

imitation -- being possible -- \*\* -- becoming .

[0077] As mentioned above, according to this operation gestalt, the transition rate of the electrical potential difference VM in the intermediate node NM between PMOS transistor 1' for an electrical-potential-difference change of an input side and PMOS transistor 1a' for an electrical-potential-difference change of an output side which were constituted by the serial on the occasion of an electrical-potential-difference change can be controlled. By this, it can prevent that forward bias is impressed between the substrate in PMOS transistor 1a' for an electrical-potential-difference change of an output side, and a drain, a latch rise can be prevented, and the dependability of a device can be secured. It can follow in footsteps of the load effect after electrical-potential-difference transition at it and coincidence.

[0078] (7th operation gestalt) Drawing 8 is the circuit block diagram showing the configuration of the electrical-potential-difference electronic switch concerning the 7th operation gestalt of this invention. With this operation gestalt, two or more PMOS transistors 1 for an electrical-potential-difference change and level shifters (LS) 2 corresponding to it are formed.

[0079] Setting to drawing 8 , 17 is the substrate electrical-potential-difference generating circuit (VSWGEn) of the PMOS transistor 1 for an electrical-potential-difference change, and the internal pressure-up electrical-potential-difference generating circuit (VPPGEN1, VPPGEN2, --, VPPGENn) of plurality [ 18 ]. The substrate electrical-potential-difference generating circuit 17 and the internal pressure-up electrical-potential-difference generating circuit 18 are controlled by the signal MODE1 corresponding to each mode of operation - MODEn. The internal pressure-up electrical-potential-difference generating circuit 18 generates the electrical potential difference VPP1 - VPPn which have level which is different according to each mode of operation, respectively. On the other hand, the substrate electrical-potential-difference generating circuit 17 generates the electrical potential difference VSW which has the greatest voltage level for every mode of operation.

[0080] Since the voltage level greatest by each mode of operation is impressed to the substrate of the PMOS transistor 1 for an electrical-potential-difference change by the substrate electrical-potential-difference generating circuit 17, the source of the PMOS transistor 1 which has more than one, and the electrical potential difference of a drain are always smaller than the substrate electrical potential difference VSW, or since it is equal to it, forward bias is not impressed by it between the substrate of the PMOS transistor 1 for an electrical-potential-difference change, and the source, and between a substrate and a drain. This can constitute an electrical-potential-difference electronic switch from one PMOS transistor 1 and one level shifter 2 for every electrical-potential-difference change unit.

[0081] As mentioned above, since according to this operation gestalt the device used for electrical-potential-difference change actuation can be constituted from one step of PMOS transistor and the level shifter which accompanies coincidence can also be constituted from one step, the circuit scale of an electrical-potential-difference electronic switch can be reduced, and layout area can be made small.

[0082]

[Effect of the Invention] As explained above, according to this invention, the exceptional effectiveness listed below is done so.

[0083] (1) If the discharge current of a current regulator circuit is set as a desired current value in order to perform drawing actuation of the gate voltage level of the PMOS transistor for an electrical-potential-difference change through a current regulator circuit and to make the PMOS transistor for an electrical-potential-difference change into an ON state, an electrical-potential-difference change rate can be set up freely. Therefore, it becomes possible to prevent the steep electrical-potential-difference change of nanosecond order, and the dependability of a device can be secured.

[0084] (2) It is not based on a mode of operation, but an electrical-potential-difference change rate can be fixed, and an electrical-potential-difference change

rate can be conversely adjusted for every mode of operation, and the design of an electrical-potential-difference change sequence becomes simple.

[0085] (3) At the time of the analysis actuation which impresses full voltage from the outside, an electrical-potential-difference change is possible at the same rate as the time of normal operation, it becomes possible to prevent the steep electrical-potential-difference change of nanosecond order, and the dependability of a device can be secured.

[0086] (4) It can prevent that forward bias is impressed between a substrate, between drains and a substrate, and the source in the PMOS transistor for an electrical-potential-difference change of an output side by controlling the electrical-potential-difference transition rate in the intermediate node between the PMOS transistors for an electrical-potential-difference change of an input side and the PMOS transistors for an electrical-potential-difference change of an output side which were constituted by the serial in the case of an electrical-potential-difference change, a latch rise can be prevented, and the dependability of a device can be secured.

[0087] (5) It is possible to constitute the device used for electrical-potential-difference change actuation from one step of PMOS transistor, since the level shifter which accompanies coincidence can also be constituted in one step, the circuit scale of an electrical-potential-difference electronic switch can be reduced, and layout area can be made small.

---

[Translation done.]

\* NOTICES \*

**JPO and NCIPI are not responsible for any  
damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

[Drawing 1] The circuit diagram of the electrical-potential-difference electronic switch of drawing 1 (a) having shown concretely the circuit block diagram (a) showing the example of a configuration of the electrical-potential-difference electronic switch concerning the 1st operation gestalt of this invention, and the internal configuration of a current regulator circuit 7 (b)

[Drawing 2] The circuit diagram of the electrical-potential-difference electronic switch of drawing 2 (a) having shown concretely the circuit block diagram (a) showing the example of a deformation configuration of the electrical-potential-difference electronic switch concerning the 1st operation gestalt of this invention, and the internal configuration of a current regulator circuit 7 (b)

[Drawing 3] The circuit diagram showing the example of a configuration of the electrical-potential-difference electronic switch concerning the 2nd operation gestalt of this invention

[Drawing 4] The circuit block diagram (a) showing the example of a configuration of the electrical-potential-difference electronic switch concerning the 3rd operation gestalt of this invention, and the circuit diagram showing the internal configuration of the voltage adjustment circuit 13 of drawing 4 (a) (b)

[Drawing 5] The circuit diagram showing the example of a configuration of the electrical-potential-difference electronic switch concerning the 4th operation gestalt of this invention

[Drawing 6] The circuit diagram (a) showing the example of a configuration of the electrical-potential-difference electronic switch concerning the 5th operation gestalt of this invention, and the electrical-potential-difference wave form chart in the electrical-potential-difference electronic switch of drawing 6 (a) (b)

[Drawing 7] The circuit diagram (a) showing the example of a configuration of the electrical-potential-difference electronic switch concerning the 6th operation gestalt of this invention, and the electrical-potential-difference wave form chart in the electrical-potential-difference electronic switch of drawing 7 (a) (b)

[Drawing 8] The circuit block diagram showing the example of a configuration of the electrical-potential-difference electronic switch concerning the 7th operation gestalt of this invention

[Drawing 9] The circuit diagram showing the example of a configuration of the conventional electrical-potential-difference electronic switch

[Drawing 10] The circuit diagram showing the example of a deformation configuration of the conventional electrical-potential-difference electronic switch

[Drawing 11] The circuit diagram showing the internal configuration of drawing 9 and the level shifter (LS) 2 of \*\* 10

[Drawing 12] The electrical-potential-difference wave form chart in the electrical-potential-difference electronic switch of drawing 10

[Description of Notations]

one -- one -- a -- one -- ' -- one -- a -- ' -- one -- " -- one -- a -- " -- PMOS transistor for an electrical-potential-difference change

2, 2a, 2b, 2c, 2d Level shifter (LS)

3 PMOS Transistor for Level Shifters

4 NMOS Transistor for Level Shifters

5 Inverter for Level Shifters

6 PMOS Transistor for Control

7 Current Regulator Circuit

8 Capacitor

9, 10, 11, 10b, 10c, 10d, 11b, 11c, 11d, the NMOS transistor for 16 current regulator circuits

12 Logic Gate (2 Input NAND Circuit)

17 Substrate Electrical-Potential-Difference Generating Circuit

18 Internal Pressure-Up Electrical-Potential-Difference Generating Circuit

---

[Translation done.]

\* NOTICES \*

**JPO and NCIPI are not responsible for any  
damages caused by the use of this translation.**

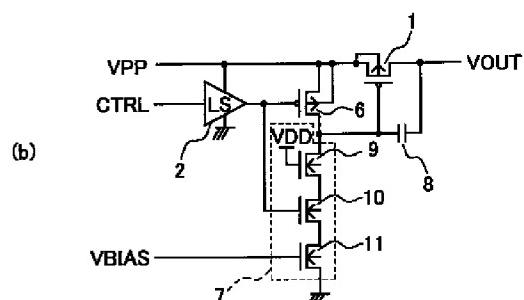
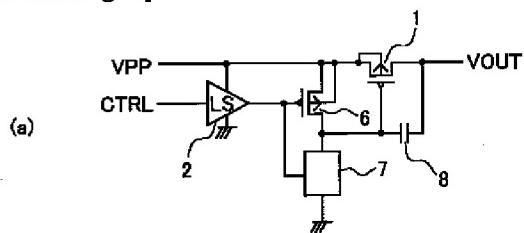
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

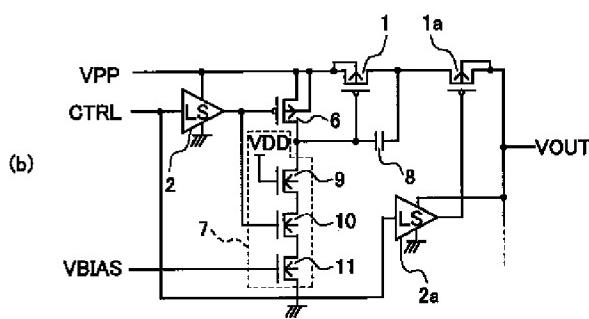
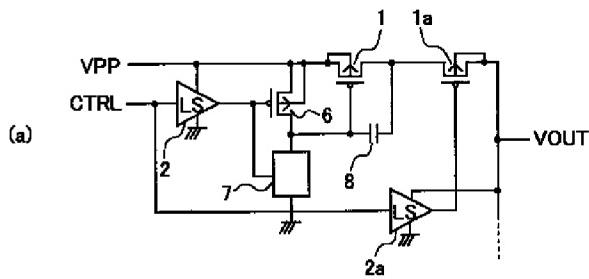
## DRAWINGS

---

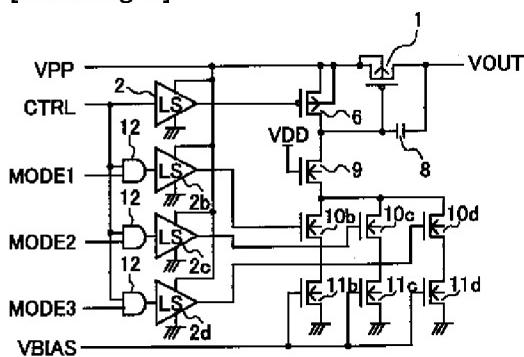
[Drawing 1]



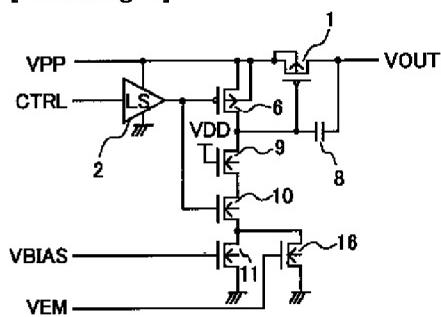
[Drawing 2]



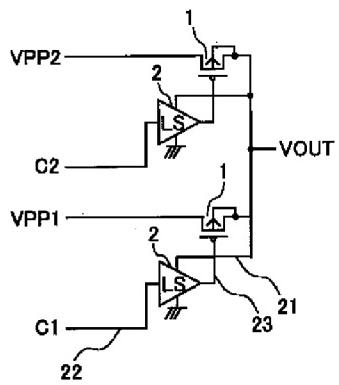
[Drawing 3]



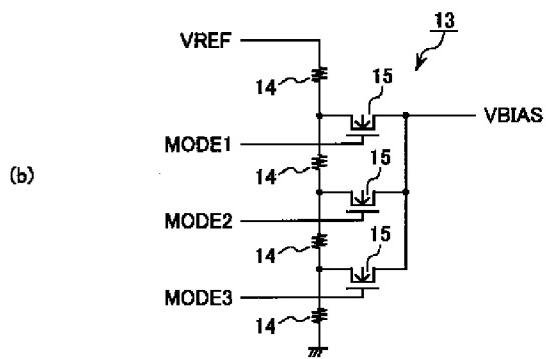
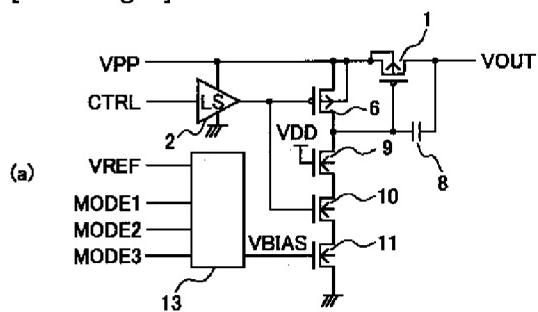
[Drawing 5]



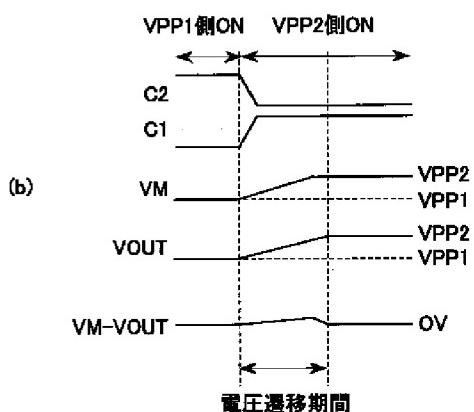
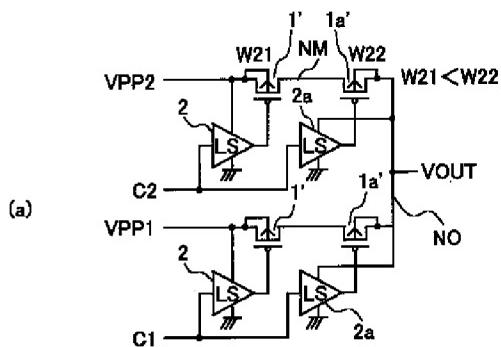
[Drawing 9]



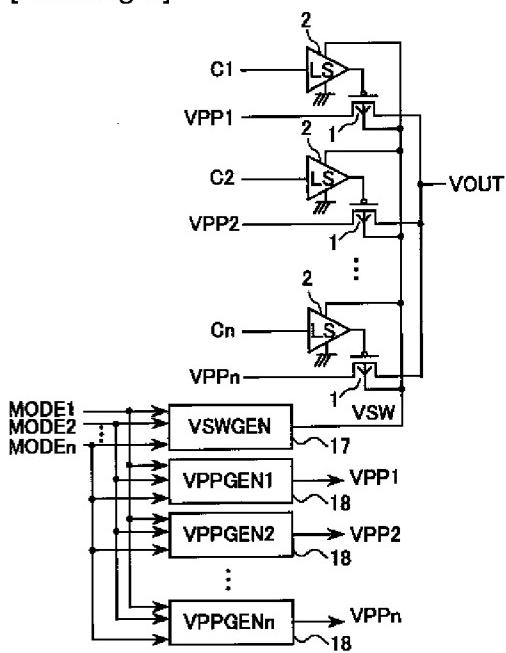
[Drawing 4]



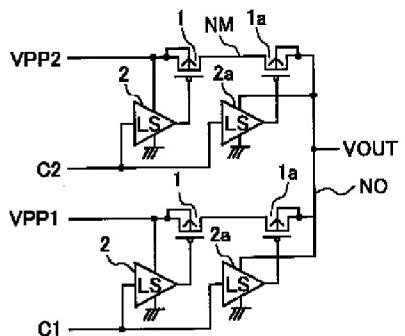
[Drawing 6]



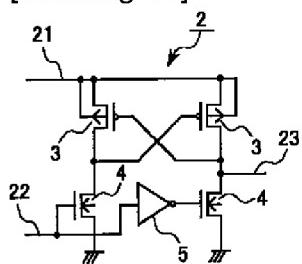
[Drawing 8]



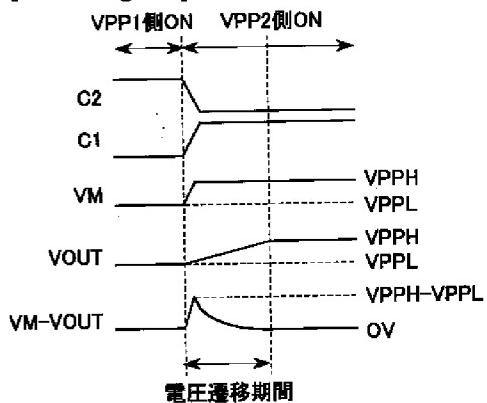
[Drawing 10]



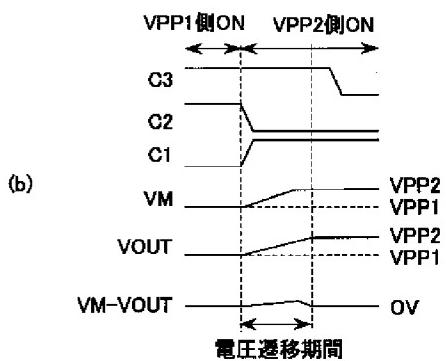
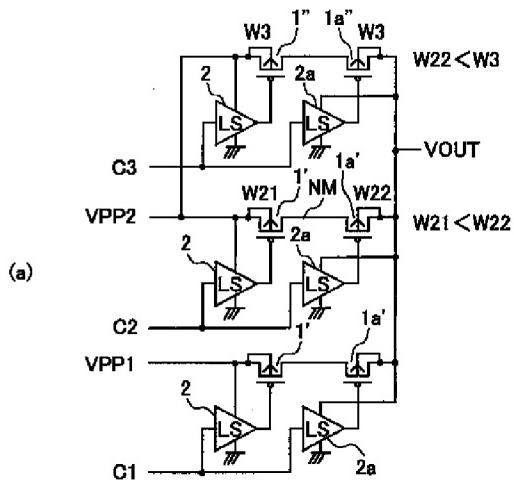
[Drawing 11]



[Drawing 12]



[Drawing 7]




---

[Translation done.]

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-15753

(P2003-15753A)

(43)公開日 平成15年1月17日(2003.1.17)

(51) Int.Cl.<sup>7</sup>  
 G 0 5 F 1/563  
 G 1 1 C 16/06  
 H 0 3 K 17/16

識別記号

F I  
 C 0 5 F 1/563  
 H 0 3 K 17/16  
 G 1 1 C 17/00

テ-マコ-ト(参考)  
 5 B 0 2 5  
 H 5 H 4 2 0  
 6 3 2 D 5 J 0 5 5

審査請求 未請求 請求項の数12 O.L (全 14 頁)

(21)出願番号 特願2001-202253(P2001-202253)

(22)出願日 平成13年7月3日(2001.7.3)

(71)出願人 000003821  
 松下電器産業株式会社  
 大阪府門真市大字門真1006番地  
 (72)発明者 小谷 久和  
 大阪府門真市大字門真1006番地 松下電器  
 産業株式会社内  
 (72)発明者 小島 誠  
 大阪府門真市大字門真1006番地 松下電器  
 産業株式会社内  
 (74)代理人 110000040  
 特許業務法人池内・佐藤アンドパートナ-  
 ズ

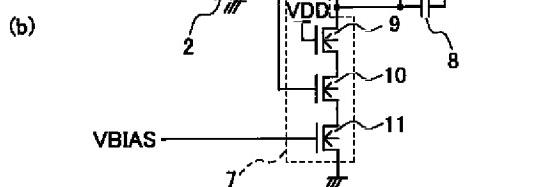
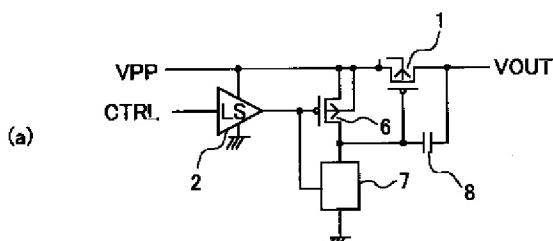
最終頁に続く

## (54)【発明の名称】 電圧切替回路

## (57)【要約】

【課題】 電圧切替時の過電圧およびラッチアップの発生を防止して信頼性を向上させ、またチップ面積の増大を抑えた電圧切替回路を提供する。

【解決手段】 制御信号CTRLが活性化される(VDDレベル)と、レベルシフタ2により電圧レベルが変換され、制御用PMOSトランジスタ6はオフ状態になる。一方、定電流回路7はオン状態になり電流駆動動作を行う。したがって、電圧切替用PMOSトランジスタ1のゲートは、VPPレベルから、定電流回路7の電流駆動により放電され、最終的にVSS(GND)レベルになる。すなわち、電圧切替用PMOSトランジスタ1はオン状態になり、昇圧電源VPPが共通電源線に出力電圧VOUTとして供給される。



## 【特許請求の範囲】

【請求項1】 電源電圧とは異なる電圧レベルを有する昇圧電源がソースに供給され、ドレインが出力電圧を供給する共通電源線に接続され、前記昇圧電源または前記出力電圧が基板に供給される第1のPMOSトランジスタと、

前記第1のPMOSトランジスタのゲートと前記共通電源線との間に接続されたキャパシタと、

前記昇圧電源がソースおよび基板に供給され、前記第1のPMOSトランジスタのゲートにドレインが接続された第2のPMOSトランジスタと、

入力端子に電圧切り替えを行なうための制御信号が供給され、出力端子が前記第2のPMOSトランジスタのゲートに接続されて、前記制御信号の論理「H」レベルを前記電源電圧の電圧レベルから前記昇圧電源の電圧レベルに変換する第1のレベルシフタと、

前記第1のレベルシフタからの出力信号により制御され、前記第1のPMOSトランジスタのゲートの電圧レベルを接地レベルにまで放電する定電流回路とを備えたことを特徴とする電圧切替回路。

## 【請求項2】 前記定電流回路は、

ドレインが前記第1のPMOSトランジスタのゲートに接続され、ゲートに電源電圧が印加される第1のNMO Sトランジスタと、

ドレインが前記第1のNMO Sトランジスタのソースに接続され、ゲートが前記第1のレベルシフタの出力端子に接続された第2のNMO Sトランジスタと、

ドレインが前記第2のNMO Sトランジスタのソースに接続され、ソースが接地電位に接続され、ゲートにバイアス電圧が供給される第3のNMO Sトランジスタとを備えたことを特徴とする請求項1記載の電圧切替回路。

## 【請求項3】 前記電圧切替回路は、

ドレインが前記第1のPMOSトランジスタのドレインに接続され、ソースおよび基板が前記共通電源線に接続された第3のPMOSトランジスタと、

入力端子が前記第1のレベルシフタの入力端子に接続され、出力端子が前記第3のPMOSトランジスタのゲートに接続された第2のレベルシフタを備えたことを特徴とする請求項1または2記載の電圧切替回路。

【請求項4】 電源電圧とは異なる電圧レベルを有する昇圧電源がソースに供給され、ドレインが出力電圧を供給する共通電源線に接続され、前記昇圧電源または前記出力電圧が基板に供給される第1のPMOSトランジスタと、

前記第1のPMOSトランジスタのゲートと前記共通電源線との間に接続されたキャパシタと、

前記昇圧電源がソースおよび基板に供給され、前記第1のPMOSトランジスタのゲートにドレインが接続された第2のPMOSトランジスタと、

入力端子に電圧切り替えを行なうための制御信号が供給

され、出力端子が前記第2のPMOSトランジスタのゲートに接続されて、前記制御信号の論理「H」レベルを前記電源電圧の電圧レベルから前記昇圧電源の電圧レベルに変換する第1のレベルシフタと、

前記制御信号がそれぞれ一方の入力端子に供給され、各動作モードに応じて活性化される複数の動作モード信号がそれぞれ他方の入力端子に供給される複数の論理ゲートと、

各入力端子が前記複数の論理ゲートのそれぞれの出力端子に接続された複数の第2のシフトレジスタと、

前記複数の第2のシフトレジスタからの出力信号により制御され、前記第1のPMOSトランジスタのゲートの電圧レベルを接地レベルにまで放電する定電流回路とを備え、

前記定電流回路は、

ドレインが前記第1のPMOSトランジスタのゲートに接続され、ゲートに電源電圧が印加される第1のNMO Sトランジスタと、

各ドレインが前記第1のNMO Sトランジスタのソースに共通接続され、各ゲートが前記第2のレベルシフタのそれぞれの出力端子に接続され、それぞれ異なるデバイスサイズを有する複数の第2のNMO Sトランジスタと、

各ドレインが前記複数の第2のNMO Sトランジスタのそれぞれのソースに接続され、各ソースが接地電位に接続され、各ゲートにバイアス電圧が共通に供給され、それぞれ異なるデバイスサイズを有する複数の第3のNMO Sトランジスタとを備えたことを特徴とする電圧切替回路。

## 【請求項5】 前記電圧切替回路は、

ドレインが前記第1のPMOSトランジスタのドレインに接続され、ソースおよび基板が前記共通電源線に接続された第3のPMOSトランジスタと、

入力端子が前記第1のレベルシフタの入力端子に接続され、出力端子が前記第3のPMOSトランジスタのゲートに接続された第3のレベルシフタを備えたことを特徴とする請求項4記載の電圧切替回路。

【請求項6】 前記電圧切替回路は、各動作モードに応じて活性化される複数の動作モード信号に従って、基準電圧から生成した異なる電圧レベルを有する前記バイアス電圧を出力する電圧調整回路を備えたことを特徴とする請求項2記載の電圧切替回路。

【請求項7】 前記電圧切替回路は、ドレインが前記第3のNMO Sトランジスタのドレインに接続され、ソースが接地電位に接続され、ゲートに、論理「H」レベルが電源電圧レベルであり、外部電圧印加モード時に活性化される制御信号が供給される第4のNMO Sトランジスタを備えたことを特徴とする請求項2記載の電圧切替回路。

## 【請求項8】 電源電圧とは異なる電圧レベルを有する

昇圧電源がソースに供給される第1のPMOSトランジスタと、  
入力端子に電圧切り替えを行なうための第1の制御信号が供給され、出力端子が前記第1のPMOSトランジスタのゲートに接続されて、前記第1の制御信号の論理「H」レベルを前記電源電圧の電圧レベルから前記昇圧電源の電圧レベルに変換する第1のレベルシフタと、ドレインが前記第1のPMOSトランジスタのドレインに接続され、ソースが出力電圧を供給する共通電源線に接続された第2のPMOSトランジスタと、  
入力端子に前記第1の制御信号が供給され、出力端子が前記第2のPMOSトランジスタのゲートに接続された第2のレベルシフタとを備え、前記共通電源線の出力電圧を低電圧レベルから高電圧レベルへと遷移させる場合、前記第1のPMOSトランジスタの電流駆動能力は、前記第2のPMOSトランジスタの電流駆動能力よりも小さいことを特徴とする電圧切替回路。

【請求項9】 前記電圧切替回路は、前記昇圧電源がソースに供給される第3のPMOSトランジスタと、入力端子に電流供給能力を変更するための第2の制御信号が供給され、出力端子が前記第3のPMOSトランジスタのゲートに接続されて、前記第2の制御信号の論理「H」レベルを前記電源電圧の電圧レベルから前記昇圧電源の電圧レベルに変換する第1のレベルシフタと、ドレインが前記第3のPMOSトランジスタのドレインに接続され、ソースが前記共通電源線に接続された第4のPMOSトランジスタと、入力端子に前記第2の制御信号が供給され、出力端子が前記第4のPMOSトランジスタのゲートに接続された第4のレベルシフタとを備え、前記第3および第4のPMOSトランジスタの電流駆動能力は、前記第2のPMOSトランジスタの電流駆動能力よりも大きいことを特徴とする請求項8記載の電圧切替回路。

【請求項10】 前記第2の制御信号は、前記共通電源線の出力電圧レベルが前記昇圧電源の電圧レベルに遷移した後に、活性化され、前記第3および第4のPMOSトランジスタをオン状態にすることを特徴とする請求項9記載の電圧切替回路。

【請求項11】 電源電圧とはそれぞれ異なる電圧レベルを有する複数の昇圧電源がそれぞれのソースに供給され、各ドレインが出力電圧を供給する共通電源線に接続された複数のPMOSトランジスタと、各入力端子に電圧切り替えを行なうための各制御信号が供給され、各出力端子が前記複数のPMOSトランジスタのそれぞれのゲートに接続された複数のレベルシフタと、各動作モードに応じて活性化される複数の動作モード信

号に基づいて、それぞれ前記複数の昇圧電源の各々を生成する複数の第1の電圧発生回路と、前記複数の動作モード信号に基づいて、前記複数のPMOSトランジスタの基板、および前記複数のレベルシフタの電源線に供給する電圧を生成する第2の電圧発生回路とを備えたことを特徴とする電圧切替回路。

【請求項12】 前記第2の電圧発生回路は、各動作モードにおいて最大レベルの電圧を生成することを特徴とする請求項11記載の電圧切替回路。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は、複数の電圧を使用する半導体装置における電圧切替回路に関する。

##### 【0002】

【従来の技術】浮遊ゲートを有するメモリセルが用いられる不揮発性メモリは、メモリセルへの書き込み、消去の際に電源電圧以上の高電圧が必要となる。その電圧レベルは、使用するメモリセルのデバイス特性に依存しており千差万別である。例えば、チャネル・ホット・エレクトロン（CHE）を利用したメモリセルは、書き込み時に、ゲート端子およびドレイン端子に正の高電圧（10V程度）が印加される。また、メモリセルの端子毎に電圧レベルも異なっているのが通常である。

【0003】したがって、不揮発性メモリのチップ内部では、動作モード（書き込み、消去、読み出し）に応じて、所望の電圧をメモリセルに供給する必要がある。例えば、メモリセルのソース端子に、書き込み時には10V、消去時には6Vの電圧を印加する必要がある。すなわち、チップ内部で複数の電圧レベルを発生させて、1本のメモリセルの端子向けの電源線（例えば、メモリセルソース線用電源線）に供給する必要がある。この動作に必要な回路が電圧切替回路である。

【0004】図9および図10に、従来の電圧切替回路の構成例を示す。

【0005】図9において、1は電圧切替用PMOSトランジスタで、2はレベルシフタ（LS）である。VPP1、VPP2は、それぞれ、電源電圧VDDよりも高い電圧レベルを有する第1の高電圧、第2の高電圧で、VOOUTは共通電源線の出力電圧である。レベルシフタ2の入力端子には、電圧切替用PMOSトランジスタトランジスタ1をオン／オフさせるための制御信号C1、C2が供給され、その出力端子には、電圧切替用PMOSトランジスタ1のゲートが接続される。切替用PMOSトランジスタ1の基板にはVOOUTが印加される。

【0006】図9に示すように、出力電圧VOOUTは、常に、第1の高電圧VPP1、第2の高電圧VPP2よりも高いか等しい電圧レベルを有しているため、基板とソース、ドレイン間に順バイアスが印加されるのが防止される。但し、例えば、第2の高電圧VPP2が最大の電圧レベルであるならば、VPP2側の電圧切替用PM

OSトランジスタ1の基板はVPP2側に接続してもよい。制御信号C1、C2の状態に応じて、出力電圧VOUTとして、第1の高電圧VPP1または第2の高電圧VPP2が outputされる。

【0007】図10に示す電圧切替回路も機能的には図9と同様である。図10において、電圧切替用PMOSトランジスタ1、1aが直列の構成になっているが、これは、入力側と出力側の電圧レベルの関係（高／低）が動作モードによって変わる場合、図9の構成では、電圧切替用PMOSトランジスタ1の基板とソース、ドレイン間に順バイアスが印加される場合が生じるので、これを防止するためである。したがって、入力側の電圧切替用PMOSトランジスタ1の基板にはVPP1またはVPP2を印加し、出力側の電圧切替用PMOSトランジスタ1aの基板にはVOUTを印加することで、順バイアスが印加されるのを防止している。

【0008】ここで、図11に、図9および図10のレベルシフタ2の内部回路構成を示す。なお、図10のレベルシフタ2aもレベルシフタ2と同じ回路構成となる。図11において、3はレベルシフト用PMOSトランジスタ、4はレベルシフト用NMOSトランジスタ、5はインバータである。レベルシフタ2は、2個のPMOSトランジスタ3と2個のNMOSトランジスタ4、および1個のインバータ5から構成され、電源線21に高電圧が供給され、入力線22の論理「H」側電圧レベルVDDを出力線23の論理「H」側電圧レベルVPPに変換する回路である。論理「L」側の電圧レベルは共にVSS(GND)である。

#### 【0009】

【発明が解決しようとする課題】上記従来の電圧切替回路の問題点について、以下に列記する。

【0010】(1) 図9の電圧切替回路において、電圧切替を行うタイミングは制御信号C1、C2によって決まり、その遷移時間は、通常のロジック回路であるため、数ナノ秒である。すなわち、高電圧VPP1とVPP2の切り替えが数ナノ秒で行われる。このため、急峻に電圧切替を行うと、電圧切替用PMOSトランジスタ1の各端子間の寄生容量カッピングなどによるオーバーシュートが発生し、昇圧レベルVPP以上の電圧がデバイスに印加される。書き換え動作を幾度も繰り返す場合には、VPP以上の電圧レベルがデバイスに長期に繰り返し印加されることになり、デバイス耐圧上問題となる。また、急峻な電圧切替により、基板とソース、ドレイン間に急峻な順バイアスのパルスが印加される可能性もあり、この基板電流によりラッチアップが生じる可能性がある。すなわち、ナノ秒オーダーの急峻な電圧の立ち上げは、デバイスの信頼性上大きな問題である。

【0011】(2) 次に、図10の電圧切替回路において、図12の電圧波形図に示すように、制御信号C2を論理「H」レベルから論理「L」レベルに、制御信号C

1を論理「L」レベルから論理「H」レベルに切り替えて、出力電圧VOUTを第1の高電圧VPP1から第2の高電圧VPP2（ここで、VPP2>VPP1とする）に切り替える場合について考える。図10の中間ノードNMは、出力ノードNOに比較して負荷容量が小さいため、中間ノードNMの電圧VMは、VOUTよりも先にVPP1からVPP2に上昇する。すなわち、出力側の電圧切替用PMOSトランジスタ1aにおいて、基板とソース間に順バイアスが印加され、基板電流が流れることになる。電圧切替用PMOSトランジスタ1aのデバイスサイズが大きいと基板電流が大きくなり、ラッチアップを誘引させる可能性がある。すなわち、図10に示すような、電圧切替用PMOSトランジスタ1、1aを直列にした電圧切替回路では、出力電圧を低レベルから高レベルへ遷移させる場合、ラッチアップが生じる可能性がある、という問題がある。

【0012】(3) さらに、図10の構成では、電圧切替用PMOSトランジスタ1、1aが直列構成になっているため、1段の場合よりもデバイスサイズを2倍にする必要がある。例えば、2つの電圧レベルを切り替える場合、1段構成の場合は、チャネル幅Wpの電圧切替用PMOSトランジスタ1を2つ用いればよい（トータルのチャネル幅は2Wp）。しかし、直列2段構成の場合は、チャネル幅2Wpの電圧切替用PMOSトランジスタを4つ用いる必要がある（トータルのチャネル幅は8Wp）。すなわち、直列2段構成の場合は4倍の規模の電圧切替用PMOSトランジスタが必要になり、また付随して、レベルシフタも2倍必要になるため、ますます面積が大きくなる、という問題もある。

【0013】本発明は、上記の問題点に鑑みてなされたものであり、その目的は、電圧切替時の過電圧およびラッチアップの発生を防止して信頼性を向上させ、またチップ面積の増大を抑えた電圧切替回路を提供することにある。

#### 【0014】

【課題を解決するための手段】前記の目的を達成するため、本発明に係る第1の電圧切替回路は、電源電圧とは異なる電圧レベルを有する昇圧電源(VPP)がソースに供給され、ドレインが出力電圧(VOUT)を供給する共通電源線に接続され、昇圧電源または出力電圧が基板に供給される第1のPMOSトランジスタ(電圧切替用トランジスタ)と、第1のPMOSトランジスタのゲートと共通電源線との間に接続されたキャパシタと、昇圧電源がソースおよび基板に供給され、第1のPMOSトランジスタのゲートにドレインが接続された第2のPMOSトランジスタ(制御用トランジスタ)と、入力端子に電圧切り替えを行なうための制御信号(CTRL)が供給され、出力端子が第2のPMOSトランジスタのゲートに接続されて、制御信号の論理「H」レベルを電源電圧の電圧レベルから昇圧電源の電圧レベルに変換す

る第1のレベルシフタ（LS）と、第1のレベルシフタからの出力信号により制御され、第1のPMOSトランジスタのゲートの電圧レベルを接地レベルにまで放電する定電流回路とを備えたことを特徴とする。

【0015】この第1の電圧切替回路において、定電流回路は、ドレインが第1のPMOSトランジスタのゲートに接続され、ゲートに電源電圧が印加される第1のNMOSトランジスタと、ドレインが第1のNMOSトランジスタのソースに接続され、ゲートが第1のレベルシフタの出力端子に接続された第2のNMOSトランジスタと、ドレインが第2のNMOSトランジスタのソースに接続され、ソースが接地電位に接続され、ゲートにバイアス電圧（VBIAS）が供給される第3のNMOSトランジスタとを備えることが好ましい。

【0016】また、第1の電圧切替回路は、ドレインが第1のPMOSトランジスタのドレインに接続され、ソースおよび基板が共通電源線に接続された第3のPMOSトランジスタと、入力端子が第1のレベルシフタの入力端子に接続され、出力端子が第3のPMOSトランジスタのゲートに接続された第2のレベルシフタとを備えたことを特徴とする。

【0017】上記構成の第1の電圧切替回路によれば、定電流回路を介して電圧切替用PMOSトランジスタのゲート電圧レベルの引き抜き動作を行って、電圧切替用PMOSトランジスタをオン状態にするため、定電流回路の放電電流を所望の電流値に設定すれば、電圧切替速度を自由に設定することができる。したがって、ナノ秒オーダーの急峻な電圧切替を防止することが可能になり、デバイスの信頼性を確保することができる。

【0018】前記の目的を達成するため、本発明に係る第2の電圧切替回路は、電源電圧とは異なる電圧レベルを有する昇圧電源（VPP）がソースに供給され、ドレインが出力電圧（VOUT）を供給する共通電源線に接続され、昇圧電源または出力電圧が基板に供給される第1のPMOSトランジスタ（電圧切替用トランジスタ）と、第1のPMOSトランジスタのゲートと共に電源線との間に接続されたキャパシタと、昇圧電源がソースおよび基板に供給され、第1のPMOSトランジスタのゲートにドレインが接続された第2のPMOSトランジスタ（制御用トランジスタ）と、入力端子に電圧切り替えを行なうための制御信号が供給され、出力端子が前記第2のPMOSトランジスタのゲートに接続されて、前記制御信号の論理「H」レベルを前記電源電圧の電圧レベルから前記昇圧電源の電圧レベルに変換する第1のレベルシフタ（LS）と、制御信号がそれぞれ一方の入力端子に供給され、各動作モードに応じて活性化される複数の動作モード信号（MODE1、MODE2、MODE3）がそれぞれ他方の入力端子に供給される複数の論理ゲート（例えば、2入力AND回路）と、各入力端子が複数の論理ゲートのそれぞれの出力端子に接続された複

数の第2のシフトレジスタと、複数の第2のレベルシフタからの出力信号により制御され、第1のPMOSトランジスタのゲートの電圧レベルを接地レベルにまで放電する定電流回路とを備え、定電流回路は、ドレインが第1のPMOSトランジスタのゲートに接続され、ゲートに電源電圧が印加される第1のNMOSトランジスタと、各ドレインが第1のNMOSトランジスタのソースに共通接続され、各ゲートが第2のレベルシフタのそれぞれの出力端子に接続され、それぞれ異なるデバイスサイズ（例えば、ゲート幅）を有する複数の第2のNMOSトランジスタと、各ドレインが複数の第2のNMOSトランジスタのそれぞれのソースに接続され、各ソースが接地電位に接続され、各ゲートにバイアス電圧（VBIAS）が共通に供給され、それぞれ異なるデバイスサイズ（例えば、ゲート幅）を有する複数の第3のNMOSトランジスタとを備えたことを特徴とする。

【0019】この第2の電圧切替回路は、ドレインが第1のPMOSトランジスタのドレインに接続され、ソースおよび基板が共通電源線に接続された第3のPMOSトランジスタと、入力端子が第1のレベルシフタの入力端子に接続され、出力端子が第3のPMOSトランジスタのゲートに接続された第3のレベルシフタを備えたことを特徴とする。

【0020】上記構成の第2の電圧切替回路によれば、動作モードに応じて変化する共通電源線の負荷に対応するべく、動作モード毎に、複数の第2および第3のNMOSトランジスタのサイズをそれぞれ異ならせて、定電流回路の放電電流量を調整することができ、すなわち、電圧切替用PMOSトランジスタによる電圧切り替えの速度を調整することができる。よって、動作モードによらず、電圧切替速度を一定にすることが可能であり、また逆に、動作モード毎に電圧切替速度を調整可能であり、電圧切替シーケンスの設計が簡便になる。

【0021】第1の電圧切替回路は、各動作モードに応じて活性化される複数の動作モード信号（MODE1、MODE2、MODE3）に従って、基準電圧（VREF）から生成した異なる電圧レベルを有するバイアス電圧を出力する電圧調整回路を備えることが好ましい。

【0022】この構成によれば、バイアス電圧VBIASを動作モードに応じて変化させて、電圧切替用PMOSトランジスタのゲートの放電電流量を調整するため、第2の電圧切替回路のような、複数のレベルシフタおよび複数のNMOSトランジスタは不要となり、回路規模を縮小することができる。すなわち、より小さい回路規模で、動作モード毎に電圧切替速度を調整することができ、電圧切替シーケンスの設計が簡便になる。

【0023】また、第1の電圧切替回路は、ドレインが第3のNMOSトランジスタのドレインに接続され、ソースが接地電位に接続され、ゲートに、論理「H」レベルが電源電圧レベルであり、外部電圧印加モード時に活

性化される制御信号（VEM）が供給される第4のN MOSトランジスタ（電流引き抜き用トランジスタ）を備えることが好ましい。

【0024】この構成によれば、チップ内部で使用する全電圧を外部から印加する解析動作モードを有する場合、電流引き抜き用N MOSトランジスタが電源電圧VDDレベルの制御信号で駆動されるため、全電圧を外部印加にする解析動作時においても通常動作時と同様の速度で電圧切替を行なうことができ、ナノ秒オーダーの急峻な電圧切替を防止して、デバイスの信頼性を確保することができる。

【0025】前記の目的を達成するため、本発明に係る第3の電圧切替回路は、電源電圧とは異なる電圧レベルを有する昇圧電源（VPP）がソースに供給される第1のPMOSトランジスタ（入力側の電圧切替用トランジスタ：ゲート幅W21）と、入力端子に電圧切り替えを行なうための第1の制御信号（C2）が供給され、出力端子が第1のPMOSトランジスタのゲートに接続されて、第1の制御信号の論理「H」レベルを電源電圧の電圧レベルから昇圧電源の電圧レベルに変換する第1のレベルシフタ（LS）と、ドレインが第1のPMOSトランジスタのドレインに接続され、ソースが出力電圧（VOUT）を供給する共通電源線に接続された第2のPMOSトランジスタ（出力側の電圧切替用トランジスタ：ゲート幅W22）と、入力端子に第1の制御信号が供給され、出力端子が第2のPMOSトランジスタのゲートに接続された第2のレベルシフタ（LS）とを備え、共通電源線の出力電圧を低電圧レベルから高電圧レベルへと遷移させる場合、第1のPMOSトランジスタの電流駆動能力は、第2のPMOSトランジスタの電流駆動能力よりも小さい（W21 < W22）ことを特徴とする。

【0026】この第3の電圧切替回路によれば、電圧切替の際に、直列に構成された入力側の電圧切替用PMOSトランジスタと出力側の電圧切替用PMOSトランジスタとの間の中間ノードにおける電圧の遷移速度を抑制することができる。これによって、出力側の電圧切替用PMOSトランジスタにおける基板とドレイン間に順バイアスが印加されるのを防止することができ、ラッチアップを防止して、デバイスの信頼性を確保することができる。

【0027】第3の電圧切替回路は、昇圧電源がソースに供給される第3のPMOSトランジスタ（ゲート幅W3）と、入力端子に電流供給能力を変更するための第2の制御信号（C3）が供給され、出力端子が第3のPMOSトランジスタのゲートに接続されて、第2の制御信号の論理「H」レベルを電源電圧の電圧レベルから昇圧電源の電圧レベルに変換する第1のレベルシフタと、ドレインが第3のPMOSトランジスタのドレインに接続され、ソースが共通電源線に接続された第4のPMOSトランジスタ（ゲート幅W3）と、入力端子に前第2の

制御信号（C3）が供給され、出力端子が第4のPMOSトランジスタのゲートに接続された第4のレベルシフタとを備え、第3および第4のPMOSトランジスタの電流駆動能力は、第2のPMOSトランジスタの電流駆動能力よりも大きい（W3 > W22）ことが好ましい。この場合、第2の制御信号（C3）は、共通電源線の出力電圧レベルが昇圧電源の電圧レベルに遷移した後に、活性化され、第3および第4のPMOSトランジスタをオン状態にする。

【0028】この構成によれば、電圧切替の際にラッチアップを防止して、デバイスの信頼性を確保することができるとともに、電圧遷移後の負荷変動にも追随できる。

【0029】前記の目的を達成するため、本発明に係る第4の電圧切替回路は、電源電圧とはそれぞれ異なる電圧レベルを有する複数の昇圧電源（VPP1～VPPn）がそれぞれのソースに供給され、各ドレインが出力電圧（VOUT）を供給する共通電源線に接続された複数のPMOSトランジスタと、各入力端子に電圧切り替えを行なうための各制御信号（C1～Cn）が供給され、各出力端子が複数のPMOSトランジスタのそれぞれのゲートに接続された複数のレベルシフタと、各動作モードに応じて活性化される複数の動作モード信号に基づいて、それぞれ複数の昇圧電源を生成する複数の第1の電圧発生回路（VPPGEN1～VPPGENn）と、複数の動作モード信号に基づいて、複数のPMOSトランジスタの基板、および複数のレベルシフタの電源線に供給する電圧を生成する第2の電圧発生回路（VSWGEN）とを備えたことを特徴とする。この場合、第2の電圧発生回路は、各動作モードにおいて最大レベルの電圧を生成する。

【0030】この第4の電圧切替回路によれば、電圧切替動作に用いるデバイスをPMOSトランジスタ1段で構成することができ、同時に、付随するレベルシフタも1段で構成できるため、電圧切替回路の回路規模を縮小可能であり、レイアウト面積を小さくすることができる。

### 【0031】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照して説明する。

【0032】（第1の実施形態）図1（a）は、本発明の第1の実施形態に係る電圧切替回路の構成を示す回路ブロック図である。図1（a）において、1は電圧切替用PMOSトランジスタ、2はレベルシフタ（LS）、6は電圧切替用PMOSトランジスタ1のゲートを制御するための制御用PMOSトランジスタ、7は定電流回路、8はキャパシタである。ここで、レベルシフタ2は、図11に示すような回路で構成される。電圧切替用PMOSトランジスタ1のソースには、昇圧電源VPPが供給され、そのドレインから共通電源線に出力電圧V

OUTが供給される。

【0033】図1(a)では、電圧切替用PMOSトランジスタ1の基板は昇圧電源VPPに接続されているが、これは、各種昇圧電源のうちVPPが最大の電圧レベルである場合である。また、電圧切替用PMOSトランジスタ1の基板に共通電源線の出力電圧VOUTを供給したとしても、本発明の効果は同様である。この共通電源線には、VPPとは異なるレベルの電圧を出力する他の電圧切替回路(不図示)が接続されており、共通電源線には、種々のレベルの電圧が供給され、これらの電圧が、例えば、不揮発性メモリのソースやドレインなどの端子に伝達される。

【0034】電圧切替用PMOSトランジスタ1のゲートには、制御用PMOSトランジスタ6のドレイン、キャパシタ8の一方の電極、定電流回路7が接続されている。制御用PMOSトランジスタ6のソースは、昇圧電源VPPに接続され、そのゲートはレベルシフタ2の出力端子に接続されている。キャパシタ8の他方の電極は共通電源線に接続される。定電流回路7は、電圧切替用PMOSトランジスタ1のゲートとVSS(GND)間に構成される。

【0035】次に、以上のように構成された電圧切替回路の動作について説明する。

【0036】まず、電圧切替は、制御信号CTRLにより行われる。図1(a)の電圧切替回路においては、制御信号CTRLが論理「L」レベル(VSS)になった場合、制御用PMOSトランジスタ6のゲートに論理「L」レベル(VSS)が伝達され、制御用PMOSトランジスタ6はオン状態になる。一方、定電流回路7は、オフ状態になり電流駆動を行わない。したがって、電圧切替用PMOSトランジスタ1のゲートにはVPPレベルが伝達され、電圧切替用PMOSトランジスタ1はオフ状態になる。

【0037】次に、制御信号CTRLが論理「H」レベル(VDD)になった場合は、レベルシフタ2により電圧レベルが変換され、制御用PMOSトランジスタ6のゲートにVPPレベルが伝達される。一方、定電流回路7はオン状態になり、電流駆動動作を行う。したがって、電圧切替用PMOSトランジスタ1のゲートは、VPPレベルから、定電流回路7の電流駆動により放電され、最終的にVSSレベルになる。すなわち、電圧切替用PMOSトランジスタ1はオン状態になり、昇圧電源VPPが共通電源線に出力電圧VOUTとして伝達される。

【0038】従来例では、レベルシフタ2の出力電圧のオン/オフ速度に応じて、電圧切替用PMOSトランジスタ1をオン/オフさせていたので、数ナノ秒で電圧切替を行っていた。これに対して、本実施形態では、定電流回路7により、一定電流で電圧切替用PMOSトランジスタ1のゲート電位が放電されるため、定電流回路7

の電流量により放電速度を決定することができる。したがって、定電流回路7の電流量を適切に設定することによって、電圧切替用PMOSトランジスタ1のオン状態への遷移速度を大きくできる。

【0039】図1(b)は、図1(a)の定電流回路7の内部構成を具体的に示した、本実施形態による電圧切替回路の回路図である。図1(b)において、9、10、11はNMOSトランジスタである。図示のように、3つのNMOSトランジスタ9、10、11が直列接続されている。NMOSトランジスタ9のゲートはVDDに、そのドレインは電圧切替用PMOSトランジスタ1のゲート、ソースはNMOSトランジスタ10のドレインに接続されている。NMOSトランジスタ9は、NMOSトランジスタ10、11のソース/ドレイン間電圧を緩和するために設けたもので、昇圧レベルが小さい場合は省略してもかまわない。NMOSトランジスタ10のソースは、NMOSトランジスタ11のドレインに、そのゲートは、レベルシフタ2の出力端子に接続されている。NMOSトランジスタ10により、定電流回路7のオン/オフ制御が行われる。NMOSトランジスタ11のゲートには、バイアス電圧VBIAが供給され、そのソースはVSS(GND)に接続されている。

【0040】不揮発メモリなどのように、チップ内部に電圧変換回路が設けられる場合は、通常、チップ内部で基準電圧VREFを発生させており、電源電圧、温度、プロセス変動による電圧レベル変動を極力抑制するよう設計されている。バイアス電圧VBIAとしては、別の基準電圧VREFを利用すればよい。NMOSトランジスタ11のデバイスサイズとバイアス電圧VBIAのレベルにより、定電流回路7の放電電流量が決定される。

【0041】以上は、共通電源線への出力電圧VOUTが常に、入力側の昇圧電源VPPよりも高いか等しい場合の電圧切替回路の構成について説明したが、共通電源線への出力電圧VOUTが他の昇圧電源VPPnよりも低くなる場合もある。この場合の電圧切替回路の構成を図2(a)に示す。

【0042】図2(a)の構成は、図1(a)の構成に加えて、電圧切替用PMOSトランジスタ1aと、電圧切替用PMOSトランジスタ1aのゲートに接続されるレベルシフタ2aとを設けたものである。その他の構成要素は図1(a)と同じである。図2(a)において、入力側の電圧切替用PMOSトランジスタ1の基板には昇圧電源VPPが供給され、出力側の電圧切替用PMOSトランジスタ1aの基板には共通電源線の出力電圧VOUTが供給される。このようにすれば、入力側、出力側の電圧のどちらが高くなても、電圧切替用PMOSトランジスタ1、1aの基板とドレイン間に順バイアスが印加されるのを防止することができる。

【0043】図2(b)は、図2(a)の定電流回路7

の内部構成を具体的に示した、本実施形態による電圧切替回路の他の構成例を示す回路図である。図2 (b) の定電流回路7の内部構成は図1 (b) と同様である。図2 (a) および図2 (b) の回路構成により、図1 (a) および1 (b) で説明した効果と同等の効果が得られる。

【0044】以上、本実施形態によれば、電圧切替用PMOSトランジスタ1をオン状態に遷移させるためのゲート電位の放電動作を、定電流回路7を介して行うため、定電流回路7の放電電流を所望の電流値に設定すれば、電圧切替用PMOSトランジスタ1をオンさせる速度を自由に設定することができる。したがって、従来のようなナノ秒オーダーの急峻な電圧切替を防止することができ、デバイスの信頼性を向上させることができる。

【0045】(第2の実施形態) 図3は、本発明の第2の実施形態に係る電圧切替回路の構成を示す回路図である。なお、図3において、第1の実施形態を例示する図1および図2と同様の構成要素には同じ符号を付して説明を省略する。

【0046】図3において、2b、2c、2dはレベルシフタ (LS)、10b、10c、10d、11b、11c、11dはNMOSトランジスタ、12は論理ゲート (図3の例では2入力AND回路) である。レベルシフタ2b、2c、2dの入力端子には論理ゲート12の出力端子が接続され、論理ゲート12の一方の入力端子には、電圧切替用PMOSトランジスタ1をオン／オフ制御するための制御信号CTRLが供給され、その他の入力端子には、それぞれ、各動作モードに対応した信号MODE1、MODE2、MODE3が供給される。

【0047】レベルシフタ2b、2c、2dの出力端子は、NMOSトランジスタ10b、10c、10d (第2のNMOSトランジスタ) のゲートに接続され、NMOSトランジスタ10b、10c、10dのドレインは共通接続されて、NMOSトランジスタ9のソースに接続される。NMOSトランジスタ10b、10c、10dのソースは、それぞれ、NMOSトランジスタ11b、11c、11d (第3のNMOSトランジスタ) のドレンに接続され、NMOSトランジスタ11b、11c、11dのソースはVSS (GND) に、そのゲートには共通にバイアス電圧VBIASが供給される。ここで、NMOSトランジスタ10b、10c、10dは、それぞれ異なるデバイスサイズを有している。同様に、NMOSトランジスタ11b、11c、11dも、それぞれ異なるデバイスサイズを有している。

【0048】なお、図3では、電圧切替用PMOSトランジスタ1の基板は昇圧電源VPPに接続されているが、これは、各種昇圧電源のうちVPPが最大の電圧レベルの場合である。また、電圧切替用PMOSトランジスタ1の基板を共通電源線に接続したとしても、本発明の効果は同様である。

【0049】先に説明したように、出力電圧VOUTが供給される共通電源線は、不揮発性メモリの場合、メモリセルのソース端子やドレイン端子に電圧を供給するための電源線であり、不揮発性メモリの動作モード (書き込み、消去、読み出し) によって、負荷状態は異なってくる。例えば、負荷電流が、書き込み時は5mAで、消去時は10mAである場合、あるいは、充電すべき負荷容量が、書き込み時は300pF、消去時は600pFである場合もある。

【0050】この場合、第1の実施形態のように、定電流回路7によって、一定の放電電流量で電圧切替用PMOSトランジスタ1を駆動した場合、動作モードによって、電圧の切替速度が異なってくる。これは、切替速度は、電圧切替用PMOSトランジスタ1のゲートの放電時間だけでは決まらず、共通電源線の負荷の大きさによっても変わるものである。すなわち、動作モードに応じて、電圧切替シーケンスのタイミング設計を別個に行なうことが必要になる。

【0051】そこで、本実施形態では、各動作モードに対応した信号MODE1、MODE2、MODE3により、レベルシフタ2b、2c、2dのうちいずれか1つを活性化させ、同様に、電流引き抜き用NMOSトランジスタ10b、10c、10dもいずれか1つを活性化させる。先述のように、電流引き抜き用NMOSトランジスタ10b、10c、10dのデバイスサイズはそれぞれ異なるため、動作モードに応じて、定電流回路の放電電流量を異ならせることができる。すなわち、動作モードに応じて変化する負荷に対応して、放電電流量を変化させることができるとなる。つまり、負荷に応じて放電電流量を変化させ、最終的に、常に同じ電圧切替速度を保つことが可能となる。

【0052】なお、本実施形態において、図2 (a) および図2 (b) のように、電圧切替用PMOSトランジスタ1に直列接続されたPMOSトランジスタ1aと、レベルシフタ2aとを追加しても、本発明の効果は同様である。

【0053】以上、本実施形態によれば、動作モードに応じて変化する共通電源線の負荷に対応するべく、動作モード毎に、NMOSトランジスタ10b、10c、10d、およびNMOSトランジスタ11b、11c、11dのサイズをそれぞれ異ならせて、定電流回路の放電電流量を調整することができ、すなわち、電圧切替用PMOSトランジスタ1による電圧切り替えの速度を調整することができる。よって、動作モードによらず、電圧切替速度を一定にすることが可能であり、また逆に、動作モード毎に電圧切替速度を調整可能であり、電圧切替シーケンスの設計が簡便になる。

【0054】(第3の実施形態) 図4 (a) は、本発明の第3の実施形態に係る電圧切替回路構成を示す回路ブロック図である。なお、図4 (a) において、第1の実

施形態を例示する図1(b)と同様の構成要素には同じ符号を付して説明を省略する。本実施形態は、第1の実施形態の構成に加えて、電圧調整回路13を設けた点に特徴がある。

【0055】図4(a)において、電圧調整回路13には、基準電圧VREF(第2の基準電圧)、および各動作モードに対応した信号MODE1、MODE2、MODE3が入力される。電圧調整回路13の出力電圧VBIASは、電流引き抜き用NMOSトランジスタ11のゲートに供給される。

【0056】なお、図4(a)では、電圧切替用PMOSトランジスタ1の基板には昇圧電圧VPPが供給されているが、これは、各種昇圧電源のうち昇圧電源VPPが最大の電圧レベルを有する場合である。また、電圧切替用PMOSトランジスタ1の基板に共通電源線の出力電圧VOUTを供給しても、本発明の効果は同様である。

【0057】本実施形態は、電圧調整回路13によって、動作モードに応じて、引き抜き用NMOSトランジスタ11のゲートに印加されるバイアス電圧VBIASの電圧レベルを調整する構成をとる。すなわち、電圧調整回路13が、動作モードに応じて変化する負荷に対応して、バイアス電圧VBIASの電圧レベルを変化させ、定電流回路の放電電流量を変化させる。つまり、負荷に応じて放電電流量を変化させ、最終的に、常に同じ電圧切替速度を保つことが可能となる。

【0058】図4(b)は、電圧調整回路13の内部構成例を示す回路図である。図4(b)において、14は電圧設定用の複数の抵抗、15は電圧選択用NMOSトランジスタである。電圧選択用NMOSトランジスタ15のゲートには、各動作モードに対応した信号MODE1、MODE2、MODE3が供給される。複数の抵抗14は、基準電圧VREF(第2の基準電圧)とVSS(GND)間で3つのレベルを有する分圧電圧を生成する。動作モードに応じて、電圧選択用NMOSトランジスタ15のうちいずれか1つがオン状態になり、基準電圧VREFの分圧レベルがバイアス電圧VBIASとして出力される。したがって、動作モードに応じて異なるレベルのバイアス電圧VBIASが電圧調整回路13から出力される。

【0059】なお、本実施形態において、図2(a)および図2(b)のように、電圧切替用PMOSトランジスタ1に直列接続されたPMOSトランジスタ1aと、レベルシフタ2aとを追加しても、本発明の効果は同様である。

【0060】以上、本実施形態によれば、バイアス電圧VBIASを動作モードに応じて変化させて、電圧切替用PMOSトランジスタ1のゲートの放電電流量を調整するため、第2の実施形態のような、複数のレベルシフタ2b、2c、2d、複数の引き抜き用NMOSトラン

ジスタ10b、10c、10d、11b、11c、11dは不要となり、回路規模を縮小することができる。すなわち、より小さい回路規模で、動作モード毎に電圧切替速度を調整することができ、電圧切替シーケンスの設計が簡便になる。

【0061】(第4の実施形態)図5は、本発明の第4の実施形態に係る電圧切替回路の構成を示す回路図である。なお、図5において、図1(b)と同様の構成要素には同じ符号を付して説明を省略する。本実施形態は、第1の実施形態の構成に加えて、電流引き抜き用NMOSトランジスタ16を設けた点に特徴がある。

【0062】図5において、電流引き抜き用NMOSトランジスタ16のドレインは、電流引き抜き用NMOSトランジスタ10のソースと、電流引き抜き用NMOSトランジスタ11のドレインとの接続部に接続され、電流引き抜き用NMOSトランジスタ16のゲートには、論理「H」レベルが電源電圧VDDレベルを有する制御信号VEMが供給される。

【0063】なお、図5では、電圧切替用PMOSトランジスタ1の基板には昇圧電源VPPが供給されているが、これは、各種昇圧電源のうち昇圧電源VPPが最大の電圧レベルを有する場合である。また、電圧切替用PMOSトランジスタ1の基板に共通電源線の出力電圧VOUTを供給しても、本発明の効果は同様である。

【0064】ここで、不揮発性メモリの開発の初期段階においては、メモリチップの解析評価のために、内部発生の電圧をすべてオフ状態にする場合がある。この場合、チップ内部発生の電圧をすべてオフ状態にして、必要な電圧をすべてチップ外部から印加する(外部電圧印加モード)。図5の例では、昇圧電源VPPがチップ外部から供給されることになる。但し、チップ外部から印加した電圧を内部に分配するための電圧切替回路は必要である。

【0065】外部電圧印加モードでは、バイアス電圧VBIASもオフ状態となり、前述した第1から第3の実施形態の電圧切替回路は動作しなくなる。そこで、本実施形態では、電流引き抜き用NMOSトランジスタ16が、通常動作時に用いる電流引き抜き用NMOSトランジスタ11に並列に設けられる。外部電圧印加モードに設定した場合、バイアス電圧VBIASがオフ状態で、制御信号VEMが論理「H」レベル状態になるように設定する。前述のように、制御信号VEMの論理「H」レベルは電源電圧VDDレベルである。電流引き抜き用NMOSトランジスタ16は、ゲートにバイアス電圧VBIASが印加されるNMOSトランジスタ11の電流駆動能力と同じ能力になるように、そのデバイスサイズが調整される。すなわち、外部電圧印加モード時も、通常動作時と同じ放電電流量で電圧切替用PMOSトランジスタ1を駆動することで、電圧切替速度を同じにすることができる。

【0066】なお、本実施形態において、図2(a)および図2(b)のように、電圧切替用PMOSトランジスタ1に直列接続されたPMOSトランジスタ1aと、レベルシフタ2aとを追加しても、本発明の効果は同様である。

【0067】以上、本実施形態によれば、チップ内部で使用する全電圧を外部から印加する解析動作モードを有する場合、電流引き抜き用NMOSトランジスタ16が電源電圧VDDレベルの制御信号で駆動されるため、全電圧を外部印加にする解析動作時においても通常動作時と同様の速度で電圧切替を行なうことができ、ナノ秒オーダーの急峻な電圧切替を防止して、デバイスの信頼性を確保することができる。

【0068】(第5の実施形態)図6(a)は、本発明の第5の実施形態に係る電圧切替回路の構成を示す回路図である。なお、図6(a)において、本実施形態の構成要素は、図10に示した従来の電圧切替回路と同様である。しかし、本実施形態が従来例と異なる点は、直列構成のPMOSトランジスタ1' と1a' のデバイスサイズに差を持たせている点にある。

【0069】図6(a)において、入力側の電圧切替用PMOSトランジスタ1' と出力側の電圧切替用PMOSトランジスタ1a'との間の中間ノードNMの電圧VMが、出力ノードNOの出力電圧VOUTよりも早く上昇するのを避けるために、入力側の電圧切替用PMOSトランジスタ1' のデバイスサイズ(ゲート幅)W21を出力側の電圧切替用PMOSトランジスタ1a' のデバイスサイズ(ゲート幅)W22よりも小さく(W21 < W22)設定する。これによって、入力側の電圧切替用PMOSトランジスタ1' の電流駆動能力が、出力側の電圧切替用PMOSトランジスタ1a' よりも低いため、中間ノードNMにおける電圧VMの上昇速度を抑制することができる。デバイスサイズは、出力ノードNOの出力電圧VOUTと中間ノードNMの電圧VMの上昇速度がほぼ同じになる(VM-VOUTが順バイアスとなるレベルに達しない)ように、設定すればよい。

【0070】図6(b)は、図6(a)の電圧切替回路における電圧波形図である。図6(b)において、図12の場合と異なり、中間ノードNMの電圧VMが出力ノードNOの出力電圧VOUTとほぼ同じ速度で上昇するため、出力側の電圧切替用PMOSトランジスタ1a'の基板とドレイン間の電圧差は常に0V近辺となり、基板電流は発生せず、ラッチアップも防止できる。

【0071】以上、本実施形態によれば、電圧切替の際に、直列に構成された入力側の電圧切替用PMOSトランジスタ1' と出力側の電圧切替用PMOSトランジスタ1a'との間の中間ノードNMにおける電圧VMの遷移速度を抑制することができる。これによって、出力側の電圧切替用PMOSトランジスタ1a'における基板とドレイン間に順バイアスが印加されるのを防止するこ

とができ、ラッチアップを防止して、デバイスの信頼性を確保することができる。

【0072】(第6の実施形態)図7(a)は、本発明の第6の実施形態に係る電圧切替回路の構成を示す回路図である。なお、図7(a)において、本実施形態は、図6(a)に示した第5の実施形態の構成要素に加えて、昇圧電源VPP2が供給される入力側の電圧切替用PMOSトランジスタ1' と出力側の電圧切替用PMOSトランジスタ1a'の直列回路と並列に、電圧切替用PMOSトランジスタ1"、1a"、およびレベルシフタ2、2aを設けた点に特徴がある。

【0073】図7(a)において、入力側の電圧切替用PMOSトランジスタ1"、出力側の電圧切替用PMOSトランジスタ1a"のそれぞれのゲートに接続されるレベルシフタ2、2aの入力端子には、制御信号C3が供給される。ここで、入力側の電圧切替用PMOSトランジスタ1"、および出力側の電圧切替用PMOSトランジスタ1a"(それぞれのゲート幅はW3)の電流駆動能力は、第5の実施形態で示した出力側の電圧切替用PMOSトランジスタ1a'(ゲート幅はW22)よりも大きくなっている(すなわち、ゲート幅W3>W22)。

【0074】第5の実施形態においては、電圧切替時に順バイアスが印加されるのを避けるため、入力側の電圧切替用PMOSトランジスタ1の電流駆動能力(ゲート幅W21)を出力側の電圧切替用PMOSトランジスタ1a'の電流駆動能力(ゲート幅W22)よりも小さくした(W21<W22)が、出力電圧VOUTが上昇した後に負荷の過渡的な変動が生じた場合、それに追随することが困難になる。すなわち、負荷変動により出力電圧VOUTの電圧レベルが降下する可能性がある。そこで、本実施形態では、駆動能力の小さい入力側の電圧切替用PMOSトランジスタ1'に並列に、駆動能力の大きいPMOSトランジスタ1"、1a"を接続することで、負荷変動による出力電圧VOUTの降下を回避する。

【0075】図7(b)は、図7(a)の電圧切替回路における電圧波形図である。図7(b)において、共通電源線の出力電圧VOUTをVPP2レベルに遷移させる際に、まず、VPP2が供給される入力側の電圧切替用PMOSトランジスタ1'、および出力側の電圧切替用PMOSトランジスタ1a'をオンさせて(制御信号C2を活性化させて)、共通電源線の出力電圧VOUTをVPP2レベルに遷移させる。その後、制御信号C3を活性化して、電圧切替用PMOSトランジスタ1"、1a"をオン状態にする。

【0076】これによって、負荷変動が生じても、制御信号C3により活性化された電圧切替用PMOSトランジスタ1"、1a"は電流駆動能力が大きいため、負荷変動に対して十分追隨可能となる。

【0077】以上、本実施形態によれば、電圧切替の際に、直列に構成された入力側の電圧切替用PMOSトランジスタ1' と出力側の電圧切替用PMOSトランジスタ1'a'との間の中間ノードNMにおける電圧VMの遷移速度を抑制することができる。これによって、出力側の電圧切替用PMOSトランジスタ1'a'における基板とドレイン間に順バイアスが印加されるのを防止することができ、ラッチアップを防止して、デバイスの信頼性を確保することができる。それと同時に、電圧遷移後の負荷変動にも追随できる。

【0078】(第7の実施形態) 図8は、本発明の第7の実施形態に係る電圧切替回路の構成を示す回路ブロック図である。本実施形態では、電圧切替用PMOSトランジスタ1' およびそれに対応したレベルシフタ(LS)2が複数個設けられている。

【0079】図8において、17は電圧切替用PMOSトランジスタ1'の基板電圧発生回路(VSWGEn)、18は複数の内部昇圧電圧発生回路(VPPGEN1、VPPGEN2、…、VPPGENn)である。基板電圧発生回路17および内部昇圧電圧発生回路18は、各動作モードに対応した信号MODE1～MODEnにより制御される。内部昇圧電圧発生回路18は、各動作モードに応じてそれぞれ異なるレベルを有する電圧VPP1～VPPnを生成する。一方、基板電圧発生回路17は、各動作モード毎に最大の電圧レベルを有する電圧VSWを生成する。

【0080】基板電圧発生回路17によって、各動作モードで最大の電圧レベルが電圧切替用PMOSトランジスタ1'の基板に印加されるため、複数個あるPMOSトランジスタ1'のソースおよびドレインの電圧は常に、基板電圧VSWよりも小さいかそれに等しいため、電圧切替用PMOSトランジスタ1'の基板とソース間、および基板とドレイン間には順バイアスが印加されることはない。これによって、各電圧切替単位毎に1個のPMOSトランジスタ1'および1個のレベルシフタ2で電圧切替回路を構成することができる。

【0081】以上、本実施形態によれば、電圧切替動作に用いるデバイスをPMOSトランジスタ1段で構成することができ、同時に、付随するレベルシフタも1段で構成できるため、電圧切替回路の回路規模を縮小可能であり、レイアウト面積を小さくすることができる。

【0082】

【発明の効果】以上説明したように、本発明によれば、以下に列記する格別な効果を奏する。

【0083】(1) 定電流回路を介して電圧切替用PMOSトランジスタのゲート電圧レベルの引き抜き動作を行って、電圧切替用PMOSトランジスタをオン状態にするため、定電流回路の放電電流を所望の電流値に設定すれば、電圧切替速度を自由に設定することができる。したがって、ナノ秒オーダーの急峻な電圧切替を防止す

ることが可能になり、デバイスの信頼性を確保することができる。

【0084】(2) 動作モードによらず電圧切替速度を一定にしたり、また逆に、動作モード毎に電圧切替速度を調整することができ、電圧切替シーケンスの設計が簡便になる。

【0085】(3) 全電圧を外部から印加する解析動作時においても、通常動作時と同様の速度で電圧切替が可能であり、ナノ秒オーダーの急峻な電圧切替を防止することができ、デバイスの信頼性を確保することができる。

【0086】(4) 電圧切替の際に、直列に構成された入力側の電圧切替用PMOSトランジスタと出力側の電圧切替用PMOSトランジスタとの間の中間ノードにおける電圧遷移速度を抑制することで、出力側の電圧切替用PMOSトランジスタにおいて基板とドレイン間、基板とソース間に順バイアスが印加されるのを防止し、ラッチアップを防止して、デバイスの信頼性を確保することができる。

【0087】(5) 電圧切替動作に用いるデバイスをPMOSトランジスタ1段で構成することが可能であり、同時に、付随するレベルシフタも1段に構成可能であるため、電圧切替回路の回路規模を縮小可能であり、レイアウト面積を小さくすることができる。

#### 【図面の簡単な説明】

【図1】 本発明の第1の実施形態に係る電圧切替回路の構成例を示す回路ブロック図(a)、および定電流回路7の内部構成を具体的に示した、図1(a)の電圧切替回路の回路図(b)

【図2】 本発明の第1の実施形態に係る電圧切替回路の変形構成例を示す回路ブロック図(a)、および定電流回路7の内部構成を具体的に示した、図2(a)の電圧切替回路の回路図(b)

【図3】 本発明の第2の実施形態に係る電圧切替回路の構成例を示す回路図

【図4】 本発明の第3の実施形態に係る電圧切替回路の構成例を示す回路ブロック図(a)、および図4(a)の電圧調整回路13の内部構成を示す回路図(b)

【図5】 本発明の第4の実施形態に係る電圧切替回路の構成例を示す回路図

【図6】 本発明の第5の実施形態に係る電圧切替回路の構成例を示す回路図(a)、および図6(a)の電圧切替回路における電圧波形図(b)

【図7】 本発明の第6の実施形態に係る電圧切替回路の構成例を示す回路図(a)、および図7(a)の電圧切替回路における電圧波形図(b)

【図8】 本発明の第7の実施形態に係る電圧切替回路の構成例を示す回路ブロック図

【図9】 従来の電圧切替回路の構成例を示す回路図

【図10】 従来の電圧切替回路の変形構成例を示す回路図

【図11】 図9および図10のレベルシフタ (LS)  
2の内部構成を示す回路図

【図12】 図10の電圧切替回路における電圧波形図  
【符号の説明】

1、1a、1'、1a'、1''、1a'' 電圧切替用PMOSトランジスタ

2、2a、2b、2c、2d レベルシフタ (LS)

3 レベルシフタ用のPMOSトランジスタ

4 レベルシフタ用のNMOSトランジスタ

5 レベルシフタ用のインバータ

6 制御用PMOSトランジスタ

7 定電流回路

8 キャパシタ

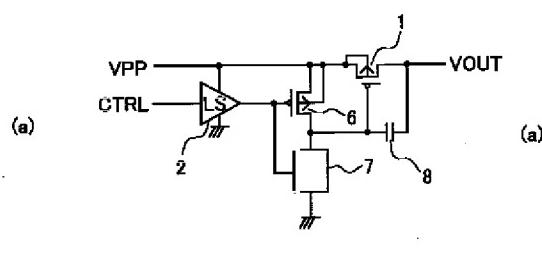
9、10、11、10b、10c、10d、11b、11c、11d、16 定電流回路用のNMOSトランジスタ

12 論理ゲート (2入力NAND回路)

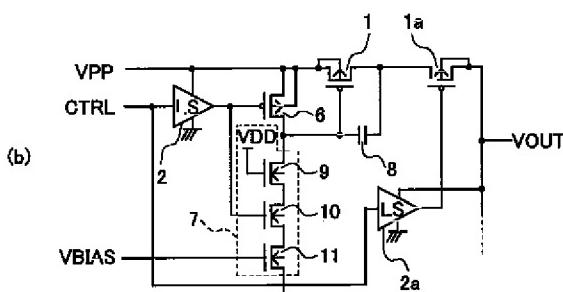
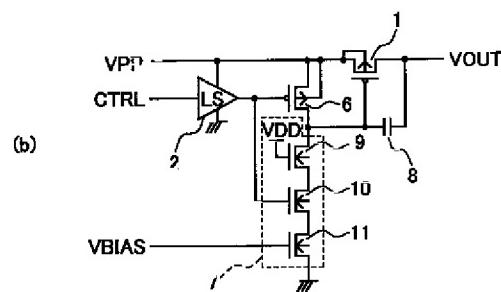
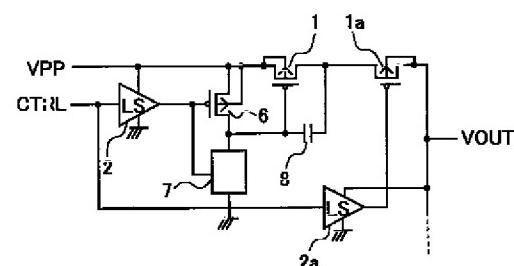
17 基板電圧発生回路

18 内部昇圧電圧発生回路

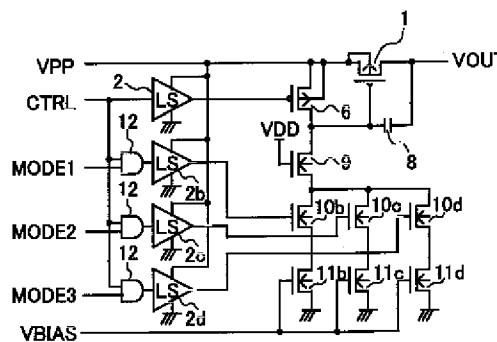
【図1】



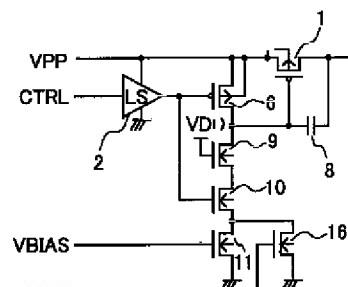
【図2】



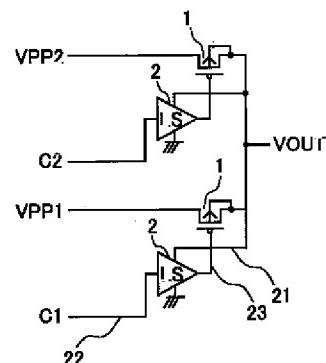
【図3】



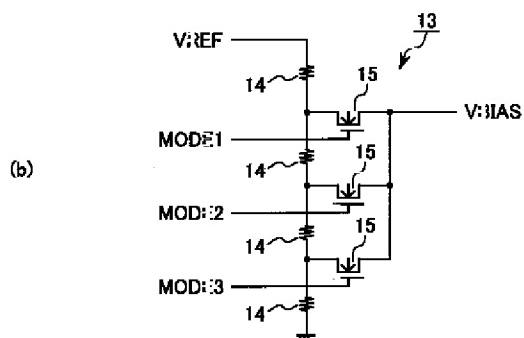
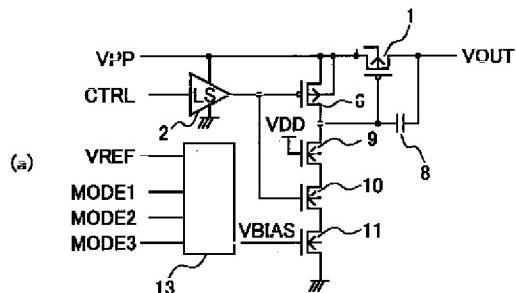
【図5】



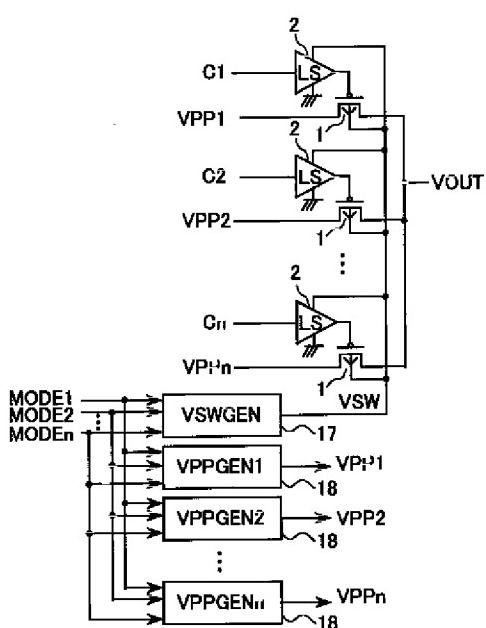
【図9】



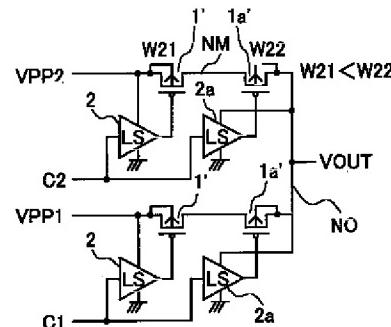
【図4】



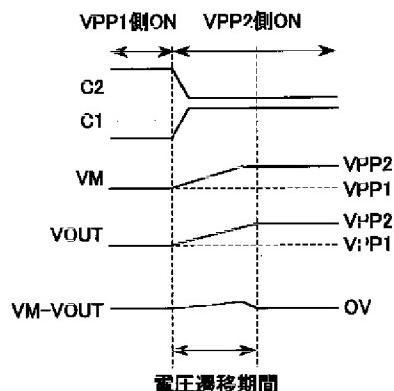
【図8】



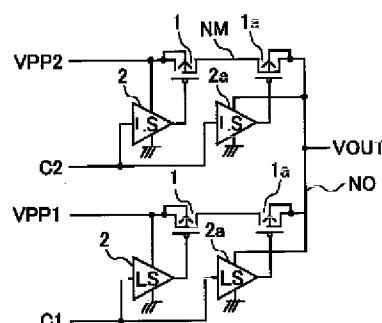
【図6】



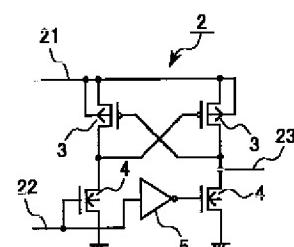
(b)



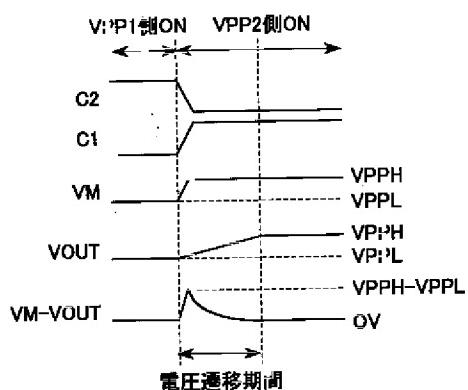
【図10】



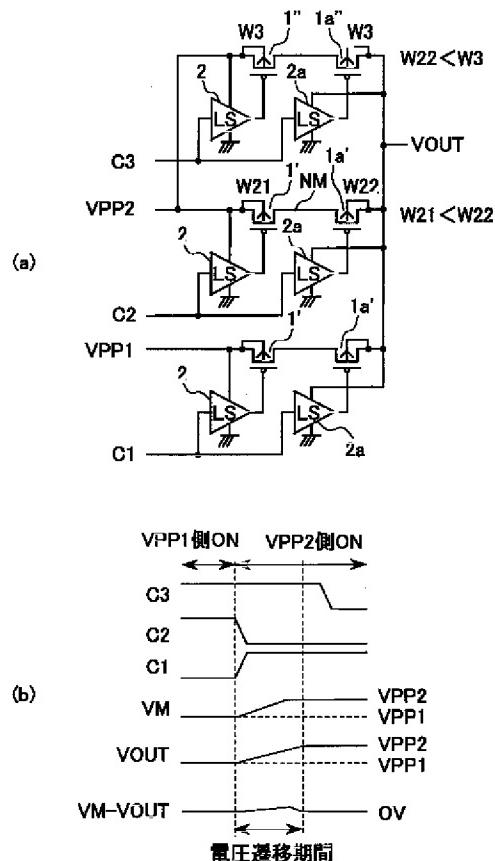
【図11】



【図12】



【図7】




---

フロントページの続き

F ターム(参考) 5B025 AD09 AE08  
 5H420 BB12 CC02 DD02 EA14 EA23  
 EA24 EA39 EA42 EA47 EB01  
 EB15 EB18 EB37 NA16 NA17  
 NA32 NA38 NB02 NB12 NB25  
 NE26 NE28  
 5J055 AX25 AX47 AX59 BX03 CX23  
 DX14 DX22 DX61 DX72 EY03  
 EY10 EY21 EZ03 EZ20 EZ25  
 GX01 GX04